

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-158360
(P2002-158360A)

(43)公開日 平成14年5月31日(2002.5.31)

(51)Int.Cl. ⁷	識別記号	F I	テラポート [*] (参考)
H 0 1 L 29/786		G 0 2 F 1/1335	5 0 0 2 H 0 9 1
G 0 2 F 1/1335	5 0 0	G 0 9 F 9/30	3 3 8 2 H 0 9 2
1/1368		H 0 1 L 29/78	6 1 9 B 5 C 0 9 4
G 0 9 F 9/30	3 3 8	G 0 2 F 1/136	5 0 0 5 F 1 1 0
		H 0 1 L 29/78	6 1 2 C

審査請求 未請求 請求項の数16 O L (全 16 頁) 最終頁に続く

(21)出願番号 特願2000-354544(P2000-354544)

(22)出願日 平成12年11月21日(2000.11.21)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 高原 研一

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 100095728

弁理士 上柳 雅彦 (外1名)

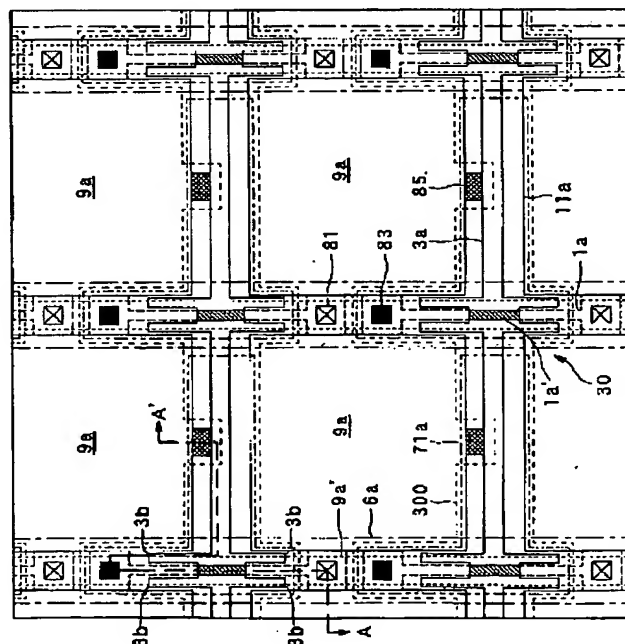
最終頁に続く

(54)【発明の名称】 電気光学装置及びその製造方法

(57)【要約】

【課題】 液晶装置等の電気光学装置において、耐光性を高め、明るく高品位の画像表示を行えるようにする。

【解決手段】 電気光学装置は、TFTアレイ基板(10)上に、画素電極(9a)と、これに接続されたTFT(30)と、これに接続された走査線(3a)とを備える。走査線は、TFTのチャンネル領域の長手方向に交わる方向に延びると共に平面的に見てチャンネル領域に重なるTFTのゲート電極を含む本体部と、平面的に見てチャンネル隣接領域の脇において本体部からチャンネル領域の長手方向に突出する突出部とを有する。また、電気光学装置は、チャンネル領域を上側から覆う上側遮光膜(300、6a)を備える。この上側遮光膜は、少なくとも部分的に、チャンネル領域の長手方向に直交する断面上でチャンネル領域側から見て凹状に形成されている。



(2)

1

【特許請求の範囲】

【請求項1】 基板上に、
画素電極と、
該画素電極に接続された薄膜トランジスタと、
該薄膜トランジスタに接続された走査線とを備えてお
り、
前記薄膜トランジスタは、長手方向に延びるチャネル領
域と該チャネル領域から更に前記長手方向に延びるチャ
ネル隣接領域とを含む半導体層を有しており、
前記走査線は、前記長手方向に交わる方向に延びると共
に平面的に見て前記チャネル領域に重なる前記薄膜トラ
ンジスタのゲート電極を含む本体部と、平面的に見て前
記チャネル隣接領域の脇において前記本体部から前記長
手方向に突出する突出部とを有することを特徴とする電
気光学装置。

【請求項2】 前記本体部と前記突出部とは、同一膜か
ら一体的になることを特徴とする請求項1に記載の電気
光学装置。

【請求項3】 前記本体部は、前記ゲート電極を含む個
所が幅広に形成されていることを特徴とする請求項1又
は2に記載の電気光学装置。

【請求項4】 前記突出部は、平面的に見て前記チャネ
ル領域毎に、そのソース側及びドレイン側に夫々位置す
る前記チャネル隣接領域の両脇において夫々突出してい
ることを特徴とする請求項1から3のいずれか一項に記
載の電気光学装置。

【請求項5】 前記走査線は、金属又は合金を含む遮光
膜からなることを特徴とする請求項1から4のいずれか
一項に記載の電気光学装置。

【請求項6】 前記走査線は、金属膜とシリコン膜との
多層構造を有することを特徴とする請求項5に記載の電
気光学装置。

【請求項7】 前記チャネル隣接領域は、LDD (Ligh
tly Doped Drain) 領域又はオフセット領域からなるこ
とを特徴とする請求項1から6のいずれか一項に記載の
電気光学装置。

【請求項8】 基板上に、
画素電極と、
該画素電極に接続された薄膜トランジスタと、
該薄膜トランジスタに接続された配線と、
前記薄膜トランジスタの少なくともチャネル領域を上側
から覆う上側遮光膜とを備えており、
前記上側遮光膜は少なくとも部分的に、前記チャネル領
域の長手方向に直交する断面上で前記チャネル領域側か
ら見て凹状に形成されていることを特徴とする電気光学
装置。

【請求項9】 前記上側遮光膜は、前記配線の一部から
なることを特徴とする請求項8に記載の電気光学装置。

【請求項10】 前記上側遮光膜は、前記画素電極に対
して蓄積容量を付与するための容量電極を含むことを特

2

徴とする請求項8又は9に記載の電気光学装置。

【請求項11】 前記上側遮光膜は、金属又は合金を含
む遮光膜からなることを特徴とする請求項8から10の
いずれか一項に記載の電気光学装置。

【請求項12】 前記薄膜トランジスタは、前記チャネ
ル領域と前記チャネル領域から更に前記長手方向に延び
るチャネル隣接領域とを含む半導体層を有しており、
前記配線は、走査線を含み、
前記走査線は、前記長手方向に交わる方向に延びると共
に平面的に見て前記チャネル領域に重なる前記薄膜トラ
ンジスタのゲート電極を含む本体部と、平面的に見て前
記チャネル隣接領域の脇において前記本体部から前記長
手方向に突出する突出部とを有することを特徴とする請
求項8から11のいずれか一項に記載の電気光学装置。

【請求項13】 前記基板又は前記基板上の下地絶縁膜
に、平面的に見て前記チャネル領域の脇に前記長手方向
に沿って延びる溝が形成されており、
前記上側遮光膜は、前記溝による段差に応じて前記凹状
に形成されていることを特徴とする請求項8から12の
いずれか一項に記載の電気光学装置。

【請求項14】 前記基板上に、前記チャネル領域の上
側且つ前記上側遮光膜の下側に位置する層間絶縁膜を更
に備えており、
前記層間絶縁膜に、平面的に見て前記チャネル領域の脇
に前記長手方向に沿って延びる溝が形成されており、
前記上側遮光膜は、前記溝による段差に応じて前記凹状
に形成されていることを特徴とする請求項8から12の
いずれか一項に記載の電気光学装置。

【請求項15】 請求項13に記載の電気光学装置を製
造する電気光学装置の製造方法であって、
前記基板又は前記下地絶縁膜に前記溝を掘る工程と、
前記溝が掘られた基板上に前記半導体層を形成する工程
と、
前記半導体層の上側に前記上側遮光膜を形成する工程と
を備えたことを特徴とする電気光学装置の製造方法。

【請求項16】 請求項14に記載の電気光学装置を製
造する電気光学装置の製造方法であって、
前記基板上に前記半導体層を形成する工程と、
前記半導体層の上側に前記層間絶縁膜を形成する工程
と、
前記層間絶縁膜に前記溝を掘る工程と、
前記溝が掘られた層間絶縁膜上に前記上側遮光膜を形成
する工程とを備えたことを特徴とする電気光学装置の製
造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリ
クス駆動方式の電気光学装置の技術分野に属し、特に画
素スイッチング用の薄膜トランジスタ (Thin Film Tran
sistor: 以下適宜、TFTと称す) を、基板上の積層構

(3)

3

造中に備えた形式の電気光学装置及びその製造方法の技術分野に属する。

【0002】

【背景技術】TFTアクティブマトリクス駆動形式の電気光学装置では、各画素に設けられた画素スイッチング用TFTのチャネル領域に入射光が照射されると光による励起で光リーク電流が発生してTFTの特性が変化する。特に、プロジェクタのライトバルブ用の電気光学装置の場合には、入射光の強度が高いため、TFTのチャネル領域やその周辺領域に対する入射光の遮光を行うことは重要となる。そこで従来は、対向基板に設けられた各画素の開口領域を規定する遮光膜により、或いはTFTアレイ基板上においてTFTの上を通過すると共にAl（アルミニウム）等の金属膜からなるデータ線により、係るチャネル領域やその周辺領域を遮光するように構成されている。更に、TFTアレイ基板上のTFTの下側に対向する位置にも、例えば高融点金属からなる遮光膜を設けることがある。このようにTFTの下側にも遮光膜を設ければ、TFTアレイ基板側からの裏面反射光や、複数の電気光学装置をプリズム等を介して組み合わせる一つの光学系を構成する場合に他の電気光学装置からプリズム等を突き抜けてくる投射光などの戻り光が、当該電気光学装置のTFTに入射するのを未然に防ぐことができる。

【0003】

【発明が解決しようとする課題】しかしながら、上述した各種遮光技術によれば、以下の問題点がある。

【0004】即ち、先ず対向基板上やTFTアレイ基板上に遮光膜を形成する技術によれば、遮光膜とチャネル領域との間は、3次元的に見て例えば液晶層、電極、層間絶縁膜等を介してかなり離間しており、両者間へ斜めに入射する光に対する遮光が十分ではない。特にプロジェクタのライトバルブとして用いられる小型の電気光学装置においては、入射光は光源からの光をレンズで絞った光束であり、斜めに入射する成分を無視し得ない程に（例えば、基板に垂直な方向から10度から15度程度傾いた成分を10%程度）含んでいるので、このような斜めの入射光に対する遮光が十分でないことは実践上問題となる。

【0005】加えて、遮光膜のない領域から電気光学装置内に侵入した光が、基板の上面或いは基板の上面に形成された遮光膜の上面やデータ線の下面（即ち、チャネル領域に面する側の内面）で反射された後に、係る反射光或いはこれが更に基板の上面或いは遮光膜やデータ線の内面で反射された多重反射光が最終的にTFTのチャネル領域に到達してしまう場合もある。

【0006】特に近年の表示画像の高品位化という一般的要請に沿うべく電気光学装置の高精細化或いは画素ピッチの微細化を図るに連れて、更に明るい画像を表示すべく入射光の光強度を高めるに連れて、上述した従来の

4

各種遮光技術によれば、十分な遮光を施すのがより困難となり、TFTのトランジスタ特性の変化により、フリッカ等が生じて、表示画像の品位が低下してしまうという問題点がある。

【0007】尚、このような耐光性を高めるためには、遮光膜の形成領域を広げればよいようにも考えられるが、遮光膜の形成領域を広げてしまったのでは、表示画像の明るさを向上させるべく各画素の開口率を高めることが根本的に困難になるという問題点が生じる。更に上述の如く遮光膜（即ち、TFTの下側の遮光膜やデータ線等からなるTFTの上側の遮光膜等）の存在により、斜め光に起因した内面反射や多重反射光が発生することに鑑みればむしろ遮光膜の形成領域を広げたのでは、このような内面反射光や多重反射光の増大を招くという解決困難な問題点もある。

【0008】本発明は上述の問題点に鑑みなされたものであり、耐光性に優れており、明るく高品位の画像表示が可能な電気光学装置及びその製造方法を提供することを課題とする。

【0009】

【課題を解決するための手段】本発明の第1電気光学装置は上記課題を解決するために、基板上に、画素電極と、該画素電極に接続された薄膜トランジスタと、該薄膜トランジスタに接続された走査線とを備える。前記薄膜トランジスタは、長手方向に延びるチャネル領域と該チャネル領域から更に前記長手方向に延びるチャネル隣接領域とを含む半導体層を有する。前記走査線は、前記長手方向に交わる方向に延びると共に平面的に見て前記チャネル領域に重なる前記薄膜トランジスタのゲート電極を含む本体部と、平面的に見て前記チャネル隣接領域の脇において前記本体部から前記長手方向に突出する突出部とを有する。

【0010】本発明の第1電気光学装置によれば、画素電極をこれに接続された薄膜トランジスタによりスイッチング制御することにより、アクティブマトリクス駆動方式による駆動を行なえる。そして、走査線は、平面的に見て、薄膜トランジスタのゲート電極を含む本体部から、チャネル隣接領域の脇において、チャネル隣接領域に沿って突出する突出部を有する。従って、基板面に対して斜めに進行する入射光及び戻り光、並びにこれらに基づく内面反射光及び多重反射光などの斜めの光が、チャネル領域及びチャネル隣接領域に入射するのを、走査線のうちゲート電極を含む本体部だけでなく、特に突出部による光吸収或いは光反射により、少なくとも部分的に阻止できる。この際特に、チャネル隣接領域からの層間距離が非常に小さい位置（即ち、一般にゲート絶縁膜の厚みだけ離れた層間位置）に配置される突出部により遮光を行なうことで、非常に効果的に当該遮光を行なえる。

【0011】例えば、基板上において、薄膜トランジスタ

(4)

5

タの下側に下側遮光膜を設けた場合には、比較的層間距離の小さい下側遮光膜と遮光膜として機能する走査線の突出部や本体部との間に、チャネル隣接領域やチャネル領域を挟持する構成が得られるため、斜めの光に対して非常に高い遮光性能が得られる。

【0012】この結果、本発明の第1電気光学装置によれば、耐光性を高めることが可能となり、強力な入射光や戻り光が入射するような過酷な条件下にあっても光リーク電流の低減された薄膜トランジスタにより画素電極を良好にスイッチング制御でき、最終的には本発明により、明るく高コントラストの画像を表示可能となる。

【0013】本発明の第1電気光学装置の一態様では、前記本体部と前記突出部とは、同一膜から一体的になる。

【0014】この態様によれば、当該第1電気光学装置を製造する際に、遮光用の突出部は、本体部と共に走査線を形成する工程で形成できるため、当該突出部を形成するために追加的な工程は不要である。従って、基板上における積層構造及び製造プロセスの簡略化を図れる。

【0015】本発明の第1電気光学装置の他の態様では、前記本体部は、前記ゲート電極を含む個所が幅広く形成されている。

【0016】この態様によれば、走査線の本体部は、ゲート電極を含む個所が幅広く形成されているので、斜めの光に対する幅広の本体部によるチャネル領域やチャネル隣接領域における遮光性能を向上できる。また、当該第1電気光学装置を製造する際に、このように本体部の特定個所を幅広く形成するためには、走査線の平面パターンに若干の変更を加えるだけで済み、追加的な工程は不要である。

【0017】本発明の第1電気光学装置の他の態様では、前記突出部は、平面的に見て前記チャネル領域毎に、そのソース側及びドレイン側に夫々位置する前記チャネル隣接領域の両脇において夫々突出している。

【0018】この態様によれば、薄膜トランジスタ毎に、そのソース側及びドレイン側並びにそれらの両脇に合計4つの突出部が設けられることになる。従って、これらの突出部により、3次元的に各種の方向から入射する斜めの光に対する遮光性能を向上できる。

【0019】本発明の第1電気光学装置の他の態様では、前記走査線は、金属又は合金を含む遮光膜からなる。

【0020】この態様によれば、走査線は、金属又は合金を含む遮光膜からなり、より具体的には、例えばTi(チタン)、Cr(クロム)、W(タングステン)、Ta(タンタル)、Mo(モリブデン)、Pb(鉛)等の高融点金属のうち少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等からなる。従って、このような遮光膜からなる走査線の本体部及び突出部により、斜めの光に対するチ

6

ャネル領域やチャネル隣接領域における遮光性能をより向上できる。

【0021】但し、走査線を、このような遮光膜ではなく、ポリシリコン膜等から形成しても、その光吸収特性に応じた遮光性能が得られる。

【0022】この態様では、前記走査線は、金属膜とシリコン膜との多層構造を有するように構成してもよい。

【0023】このように構成すれば、本体部及び突出部により高い遮光性能を実現しつつ、薄膜トランジスタのゲート絶縁膜(例えば、ゲート酸化膜など)上に形成されるゲート電極としても良好な特性を実現できる。

【0024】本発明の第1電気光学装置の他の態様では、前記チャネル隣接領域は、LDD(Lightly Doped Drain)領域又はオフセット領域からなる。

【0025】この態様によれば、斜めの光がLDD領域又はオフセット領域に入射することで、薄膜トランジスタの特性が変化する事態を、走査線の突出部による遮光により効果的に阻止できる。

【0026】本発明の第2電気光学装置は上記課題を解決するために、基板上に、画素電極と、該画素電極に接続された薄膜トランジスタと、該薄膜トランジスタに接続された配線と、前記薄膜トランジスタの少なくともチャネル領域を上側から覆う上側遮光膜とを備える。前記上側遮光膜は少なくとも部分的に、前記チャネル領域の長手方向に直交する断面上で前記チャネル領域側から見て凹状に形成されている。

【0027】本発明の第2電気光学装置によれば、画素電極をこれに接続された薄膜トランジスタによりスイッチング制御することにより、アクティブマトリクス駆動方式による駆動を行なえる。そして、チャネル領域を上側から覆う上側遮光膜は少なくとも部分的に、チャネル領域の長手方向に直交する断面上でチャネル領域側から見て凹状に形成されている(即ち、下側が凹状に形成されている)。このため、上側遮光膜が平坦である場合と比較して、基板面に対して斜めに進行する入射光並びに入射光及び戻り光に基づく内面反射光及び多重反射光などの斜めの光が、最終的に斜め上側からチャネル領域に入射するのを、当該上側遮光膜によって、より効果的に阻止できる。

【0028】例えば、基板上において、薄膜トランジスタの下側に下側遮光膜を設けた場合には、下側遮光膜と上側遮光膜との間に、チャネル領域を挟持する構成が得られるため、斜めの光に対して非常に高い遮光性能が得られる。この際、下側遮光膜は少なくとも部分的に、上述した上側遮光膜の凹凸とは上下反対に、チャネル領域の長手方向に直交する断面上でチャネル領域側から見て凹状に形成されてもよい(即ち、上側が凹状に形成されてもよい)。

【0029】この結果、本発明の第2電気光学装置によれば、耐光性を高めることが可能となり、強力な入射光

(5)

7

や戻り光が入射するような過酷な条件下にあっても光リーク電流の低減された薄膜トランジスタにより画素電極を良好にスイッチング制御でき、最終的には本発明により、明るく高コントラストの画像を表示可能となる。

【0030】本発明の第2電気光学装置の一の態様では、前記上側遮光膜は、前記配線の一部からなる。

【0031】この態様によれば、上側遮光膜は、遮光膜としての機能を有するのみではなく、配線としての機能を有するので、全体として基板上における積層構造及び製造工程の簡略化を図れる。例えば、上側遮光膜を兼ねる配線は、走査線でもよいし、容量線でもよいし、データ線でもよいし、これらの組み合わせでもよい。

【0032】本発明の第2電気光学装置の他の態様では、前記上側遮光膜は、前記画素電極に対して蓄積容量を付与するための容量電極を含む。

【0033】この態様によれば、上側遮光膜は、遮光膜としての機能を有するのみではなく、容量電極としての機能を有するので、基板上に蓄積容量を作り込みつつ全体として基板上における積層構造及び製造工程の簡略化を図れる。例えば、上側遮光膜を兼ねる容量電極は、画素電位側容量電極でもよいし、固定電位側容量電極でもよい。特に画素電位側容量電極の場合には、薄膜トランジスタと画素電極とを中継接続する中継層を更に兼ねてもよい。尚、このような容量電極とは別個の中継層から上側遮光膜を構成することも可能である。

【0034】本発明の第2電気光学装置の他の態様では、前記上側遮光膜は、金属又は合金を含む遮光膜からなる。

【0035】この態様によれば、上側遮光膜は、金属又は合金を含む遮光膜からなり、より具体的には、例えばTi、Cr、W、Ta、Mo、Pb等の高融点金属のうち少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等からなる。或いは、上側遮光膜を、金属膜とシリコン膜との多層構造を有するように構成してもよい。従って、このような上側遮光膜により、斜めの光に対するチャネル領域における遮光性能をより向上できる。

【0036】但し、上側遮光膜を、ポリシリコン膜等から形成しても、その光吸収特性に応じた遮光性能が得られる。

【0037】本発明の第2電気光学装置の他の態様では、前記薄膜トランジスタは、前記チャネル領域と前記チャネル領域から更に前記長手方向に延びるチャネル隣接領域とを含む半導体層を有しており、前記配線は、走査線を含み、前記走査線は、前記長手方向に交わる方向に延びると共に平面的に見て前記チャネル領域に重なる前記薄膜トランジスタのゲート電極を含む本体部と、平面的に見て前記チャネル隣接領域の脇において前記本体部から前記長手方向に突出する突出部とを有する。

【0038】この態様によれば、前述した本発明の第1

8

電気光学装置における走査線の突出部による遮光機能と、当該第2電気光学装置における上側遮光膜による遮光機能との両者を持ち合わせる構成が得られるので、一段と耐光性を高めることが可能となる。

【0039】尚、本発明では上述した第1電気光学装置の各種態様と、上述した第2電気光学装置の各種態様とを、任意に組み合わせてもよい。

【0040】本発明の第2電気光学装置の他の態様では、前記基板又は前記基板上の地下絶縁膜に、平面的に見て前記チャネル領域の脇に前記長手方向に沿って延びる溝が形成されており、前記上側遮光膜は、前記溝による段差に応じて前記凹状に形成されている。

【0041】この態様によれば、基板又は地下絶縁膜の所定位置に溝を掘ることにより、その溝による段差に応じて上側遮光膜が凹状に形成されるので、比較的単純な構成を有する第2電気光学装置を実現できる。

【0042】本発明の第2電気光学装置の他の態様では、前記基板上に、前記チャネル領域の上側且つ前記上側遮光膜の下側に位置する層間絶縁膜を更に備えており、前記層間絶縁膜に、平面的に見て前記チャネル領域の脇に前記長手方向に沿って延びる溝が形成されており、前記上側遮光膜は、前記溝による段差に応じて前記凹状に形成されている。

【0043】この態様によれば、層間絶縁膜の所定位置に溝を掘ることにより、その溝による段差に応じて上側遮光膜が凹状に形成されるので、比較的単純な構成を有する第2電気光学装置を実現できる。

【0044】本発明の第1の電気光学装置の製造方法は上記課題を解決するために、上述した本発明の基板又は地下絶縁膜に溝が掘られた態様における第2電気光学装置を製造する電気光学装置の製造方法であって、前記基板又は前記地下絶縁膜に前記溝を掘る工程と、前記溝が掘られた基板上に前記半導体層を形成する工程と、前記半導体層の上側に前記上側遮光膜を形成する工程とを備える。

【0045】本発明の第1の電気光学装置の製造方法によれば、先ず基板又は地下絶縁膜の所定位置に溝を掘り、その後半導体層の上側に上側遮光膜を形成すれば、溝による段差に応じて上側遮光膜が凹状に形成されることになるので、比較的簡単に第2電気光学装置を製造できる。

【0046】本発明の第2の電気光学装置の製造方法は上記課題を解決するために、上述した本発明の層間絶縁膜に溝が掘られた態様における第2電気光学装置を製造する電気光学装置の製造方法であって、前記基板上に前記半導体層を形成する工程と、前記半導体層の上側に前記層間絶縁膜を形成する工程と、前記層間絶縁膜に前記溝を掘る工程と、前記溝が掘られた層間絶縁膜上に前記上側遮光膜を形成する工程とを備える。

【0047】本発明の第2の電気光学装置の製造方法に

9

よれば、先ず半導体層の上側に形成された層間絶縁膜の所定位置に溝を掘り、その後層間絶縁膜の上側に上側遮光膜を形成すれば、溝による段差に応じて上側遮光膜が凹状に形成されることになるので、比較的簡単に第2電気光学装置を製造できる。

【0048】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

【0049】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。以下の実施形態は、本発明の電気光学装置を液晶装置に適用したものである。

【0050】（電気光学装置の画素部における構成）先ず本発明の実施形態における電気光学装置の画素部における構成について、図1から図3を参照して説明する。図1は、電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。図2は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。図3は、図2のA-A'断面図である。尚、図3においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0051】図1において、本実施形態における電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素には夫々、画素電極9aと当該画素電極9aをスイッチング制御するためのTFT30とが形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電気的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線3aが電気的に接続されており、所定のタイミングで、走査線3aにパルスの走査信号G1、G2、…、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電気的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。画素電極9aを介して電気光学物質の一例としての液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、後述する対向基板に形成された対向電極との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が減少し、ノーマリーブラックモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が増加され、全体として電気光学装置からは画像信号に応じ

(6)

10

たコントラストを持つ光が射出する。ここで、保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極との間に形成される液晶容量と並列に蓄積容量70を付加する。

【0052】図2において、電気光学装置のTFTアレイ基板上には、マトリクス状に複数の透明な画素電極9a（点線部9a'により輪郭が示されている）が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a及び走査線3aが設けられている。

【0053】また、半導体層1aのうち図中右上がりの斜線領域で示したチャンネル領域1a'に対向するように走査線3aが配置されており、走査線3aはゲート電極として機能する。特に、本実施形態では、走査線3aは、当該ゲート電極となる個所において幅広に形成されていると共に、平面的に見てデータ線6aに沿って延びる半導体層1aの両脇に（図2において、各チャンネル領域1a'の右斜め上、左斜め上、右斜め下、左斜め下の4個所に）、当該幅広に形成された部分から夫々突出する突出部3bを備えている。この突出部3bの構成及び作用効果については、後に図4から図8を参照して詳述する。

【0054】このように、走査線3aとデータ線6aとの交差する個所には夫々、チャンネル領域1a'に走査線3aがゲート電極として対向配置された画素スイッチング用のTFT30が設けられている。

【0055】図2及び図3に示すように、蓄積容量70は、TFT30の高濃度ドレイン領域1e（及び画素電極9a）に接続された画素電位側容量電極としての中継層71と、固定電位側容量電極としての容量線300の一部とが、誘電体膜75を介して対向配置されることにより形成されている。

【0056】容量線300は、例えば金属又は合金を含む導電性の遮光膜からなり上側遮光膜の一例を構成すると共に固定電位側容量電極としても機能する。容量線300は、例えば、Ti、Cr、W、Ta、Mo、Pb等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等からなる。但し、容量線300は、例えば導電性のポリシリコン膜等からなる第1膜と高融点金属を含む金属シリサイド膜等からなる第2膜とが積層された多層構造を持ってもよい。

【0057】中継層71は、例えば導電性のポリシリコン膜からなり画素電位側容量電極として機能する。中継層71は、画素電位側容量電極としての機能の他、上側遮光膜としての容量線300とTFT30との間に配置される光吸収層としての機能を持ち、更に、画素電極9aとTFT30の高濃度ドレイン領域1eとを中継接続する機能を持つ。但し、中継層71も、容量線300と同様に、金属又は合金を含む単一層膜若しくは多層膜から構成してもよい。

(7)

11

【0058】容量線300は平面的に見て、走査線3aに沿ってストライプ状に伸びており、TFT30に重なる箇所が図2中上下に突出している。そして、図2中縦方向に夫々延びるデータ線6aと図2中横方向に夫々延びる容量線300とが相交差して形成されることにより、TFTアレイ基板10上におけるTFT30の上側に、平面的に見て格子状の上側遮光膜が構成されており、各画素の開口領域を規定している。

【0059】そして本実施形態では特に、図3に示すように、TFTアレイ基板10上の下側遮光膜12には（図面の複雑化を避けるために図2には示していないが）、平面的に見て半導体層1aの両脇にデータ線6aに沿って延びる溝12cvが掘られており、この溝12cvに対応して、その上方に積層形成される走査線3a（突出部3bを含む）、中継層71、容量線300及びデータ線6aは、下側に凹状に形成された部分を夫々含んでいる。この溝12cvに係る構成及び作用効果についても、走査線3aの突出部3bの構成及び作用効果と共に、後に図4から図8を参照して詳述する。

【0060】図2及び図3に示すように、TFTアレイ基板10上におけるTFT30の下側には、下側遮光膜11aが格子状に設けられている。

【0061】下側遮光膜11aは、前述の如く上側遮光膜の一例を構成する容量線300と同様に、例えば、Ti、Cr、W、Ta、Mo、Pb等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等からなる。

【0062】また図3において、容量電極としての中継層71と容量線300との間に配置される誘電体膜75は、例えば膜厚5～200nm程度の比較的薄いHTO（High Temperature Oxide）膜、LTO（Low Temperature Oxide）膜等の酸化シリコン膜、あるいは窒化シリコン膜等から構成される。蓄積容量70を増大させる観点からは、膜の信頼性が十分に得られる限りにおいて、誘電体膜75は薄い程良い。

【0063】また容量線300は、画素電極9aが配置された画像表示領域からその周囲に延設され、定電位源と電気的に接続されて、固定電位とされる。係る定電位源としては、TFT30を駆動するための走査信号を走査線3aに供給するための走査線駆動回路（後述する）や画像信号をデータ線6aに供給するサンプリング回路を制御するデータ線駆動回路（後述する）に供給される正電源や負電源の定電位源でもよいし、対向基板20の対向電極21に供給される定電位でも構わない。更に、下側遮光膜11aについても、その電位変動がTFT30に対して悪影響を及ぼすことを避けるために、容量線300と同様に、画像表示領域からその周囲に延設して定電位源に接続するとよい。

【0064】画素電極9aは、中継層71を中継するこ

12

とにより、コンタクトホール83及び85を介して半導体層1aのうち高濃度ドレイン領域1eに電気的に接続されている。即ち、本実施形態では、中継層71は、蓄積容量70の画素電位側容量電極としての機能及び光吸収層としての機能に加えて、画素電極9aをTFT30へ中継接続する機能を果たす。このように中継層71を利用すれば、層間距離が例えば2000nm程度に長くても、両者間を一つのコンタクトホールで接続する技術的困難性を回避しつつ比較的小径の二つ以上の直列なコンタクトホールで両者間を良好に接続でき、画素開口率を高めること可能となり、コンタクトホール開孔時におけるエッチングの突き抜け防止にも役立つ。

【0065】図2及び図3において、電気光学装置は、透明なTFTアレイ基板10と、これに対向配置される透明な対向基板20とを備えている。TFTアレイ基板10は、例えば石英基板、ガラス基板、シリコン基板からなり、対向基板20は、例えばガラス基板や石英基板からなる。

【0066】図3に示すように、TFTアレイ基板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは例えば、ITO（Indium Tin Oxide）膜などの透明導電性膜からなる。また配向膜16は例えば、ポリイミド膜などの有機膜からなる。

【0067】他方、対向基板20には、その全面に渡って対向電極21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は例えば、ITO膜などの透明導電性膜からなる。また配向膜22は、ポリイミド膜などの有機膜からなる。

【0068】対向基板20には、格子状又はストライプ状の遮光膜を設けるようにしてもよい。このような構成を採ることで、前述の如く上側遮光膜を構成する容量線300及びデータ線6aと共に当該対向基板20上の遮光膜により、対向基板20側からの入射光がチャネル領域1a'や低濃度ソース領域1b及び低濃度ドレイン領域1cに侵入するのを、より確実に阻止できる。更に、このような対向基板20上の遮光膜は、少なくとも入射光が照射される面を高反射な膜で形成することにより、電気光学装置の温度上昇を防ぐ働きをする。尚、このように対向基板20上の遮光膜は好ましくは、平面的に見て容量線300とデータ線6aとからなる遮光層の内側に位置するように形成する。これにより、対向基板20上の遮光膜により、各画素の開口率を低めることなく、このような遮光及び温度上昇防止の効果が得られる。

【0069】このように構成された、画素電極9aと対向電極21とが対面するように配置されたTFTアレイ基板10と対向基板20との間には、後述のシール材により囲まれた空間に電気光学物質の一例である液晶が封

(8)

13

入され、液晶層50が形成される。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜16及び22により所定の配向状態をとる。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、TFTアレイ基板10及び対向基板20をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのガラスファイバー或いはガラスビーズ等のギャップ材が混入されている。

【0070】更に、画素スイッチング用TFT30の下には、下地絶縁膜12が設けられている。下地絶縁膜12は、下側遮光膜11aからTFT30を層間絶縁する機能の他、TFTアレイ基板10の全面に形成されることにより、TFTアレイ基板10の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用TFT30の特性の劣化を防止する機能を有する。

【0071】図3において、画素スイッチング用TFT30は、LDD (Lightly Doped Drain) 構造を有しており、走査線3a、当該走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜を含む絶縁膜2、半導体層1aの低濃度ソース領域1b及び低濃度ドレイン領域1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。

【0072】走査線3a上には、高濃度ソース領域1dへ通じるコンタクトホール81及び高濃度ドレイン領域1eへ通じるコンタクトホール83が各々開孔された第1層間絶縁膜41が形成されている。

【0073】第1層間絶縁膜41上には中継層71及び容量線300が形成されており、これらの上には、高濃度ソース領域1d及び中継層71へ夫々通じるコンタクトホール81及びコンタクトホール85が各々開孔された第2層間絶縁膜42が形成されている。

【0074】尚、本実施形態では、第1層間絶縁膜41に対しては、1000℃の焼成を行うことにより、半導体層1aや走査線3aを構成するポリシリコン膜に注入したイオンの活性化を図ってもよい。他方、第2層間絶縁膜42に対しては、このような焼成を行わないことにより、容量線300の界面付近に生じるストレスの緩和を図るようにしてもよい。

【0075】第2層間絶縁膜42上にはデータ線6aが形成されており、これらの上には、中継層71へ通じるコンタクトホール85が形成された第3層間絶縁膜43が形成されている。画素電極9aは、このように構成された第3層間絶縁膜43の上面に設けられている。

【0076】本実施形態では特に、図3に示したように多数の所定パターンの導電層を積層することにより、画素電極9aの下地面（即ち、第3層間絶縁膜43の表

14

面)におけるデータ線6aや走査線3aに沿った領域に段差が生じるのを、第3層間絶縁膜43の表面を平坦化处理することで（例えば、CMP (Chemical Mechanical Polishing) 処理等で研磨することにより、或いは有機SOG (Spin On Glass)を用いて平らに形成することで）緩和している。このように配線、素子等が存在する領域と存在しない領域との間における段差を緩和することにより、最終的には段差に起因した液晶の配向不良等の画像不良を低減できる。但し、このように第3層間絶縁膜43に平坦化处理を施すのに代えて又は加えて、TFTアレイ基板10、下地絶縁膜12、第1層間絶縁膜41及び第2層間絶縁膜42のうち少なくとも一つに溝を掘って、データ線6a等の配線やTFT30等を埋め込むことにより平坦化处理を行ってもよい。

【0077】（走査線、容量線及びデータ線による遮光）次に、図4から図8を参照して、上述した電気光学装置の実施形態における、走査線3aの突出部3bの構成及び作用効果並びに下地絶縁膜12に掘られた溝12cvに係る構成及び作用効果について詳述する。ここに図4は、図2のうち走査線3aの突出部3b及び下地絶縁膜12に掘られる溝12cv（図4中、右下がりのハッチング領域で示す）を、半導体層1a（図中点線で示す）と共に抜粋して示す平面図であり、図5は、図4のB-B'断面図であり、図6は、図4のC-C'断面図である。図7は、図4のD-D'断面図であり、図8は、変形形態における図4のB-B'断面図である。

【0078】図4から図7に示すように、下地絶縁膜12には、半導体層1aの両脇にデータ線6aに沿って溝12cvが掘られている。溝12cv内には、走査線3aの突出部3bが部分的に埋め込まれており、更に、層間絶縁膜41、層間絶縁膜42等を介して、中継層71、容量線300及びデータ線6aが部分的に埋め込まれている。これにより、図5から図7に示す各断面図上で、走査線3aの突出部3b、容量線300及びデータ線6aは、溝12cvに対応して下側に凹状に形成された部分を含んでいる。

【0079】従って第1に、走査線3aに突出部3bが設けられているので、TFTアレイ基板10の基板面に対して斜めに進行する入射光及び戻り光、並びにこれらに基づく内面反射光及び多重反射光などの斜めの光が、チャネル領域1a及びその隣接領域（即ち、低濃度ソース領域1b及び低濃度ドレイン領域1c）に入射するのを、走査線3aのうちゲート電極として機能する本体部だけでなく、特に突出部3bによる光吸収或いは光反射により、少なくとも部分的に阻止できる。この際、半導体層1aに近接した突出部3b（及び走査線3aの本体部）により遮光を行なうので、非常に効果的に当該遮光を行なえる。

【0080】また第2に、半導体層1aを上側から覆う上側遮光膜として機能する走査線3a（突出部3bを含

(9)

15

む)、中継層71、容量線300及びデータ線6は夫々、溝12cvに対応して下側に凹状に形成された部分を含んでいるので、上側遮光膜が平坦である場合と比較して、基板面に対して斜めに進行する入射光並びに入射光及び戻り光に基づく内面反射光及び多重反射光などの斜めの光が、最終的に斜め上側からチャンネル領域1a及びその隣接領域に入射するのを、当該上側遮光膜によって、より効果的に阻止できる。即ち、下側に凹状(或いは上側に凸状)である上側遮光膜の上面部分により、上側からの斜めの光を拡散させる傾向が溝12cvに応じて強まるので、最終的に斜め上側からチャンネル領域1a及びその隣接領域に入射するの光量を低減できるのである。尚、同様の理由から、下側遮光膜11aを少なくとも部分的に、上述した上側遮光膜の凹凸とは上下反対に、上側に凹状に(即ち、下側に凸状に)形成してもよい。

【0081】加えて、本実施形態では、走査線3aは、ゲート電極を含む個所が幅広に形成されているので、斜めの光に対する走査線3aによるチャンネル領域やその隣接領域における遮光性能を向上できる。

【0082】ここで本実施形態では、図2及び図3に示した如く各種遮光膜によりTFT30に対する遮光を上下から行なっている。即ち、電気光学装置における上側(即ち、入射光の入射側)から入射する入射光に対しては、容量線300及びデータ線6aが、上側遮光膜として機能する。他方、当該電気光学装置における下側(即ち、入射光の出射側)から入射する戻り光に対しては、下側遮光膜11aが文字通り下側遮光膜として機能する。従って、走査線3aに突出部3bを設ける必要性や、溝12cvにより上側遮光膜たる容量線300等に特別な形状を与える必要性は無いようにも考えられる。しかしながら、入射光は、基板10に対して斜め方向から入射する斜め光を含んでいる。例えば入射角が垂直から10度〜15度位までずれる成分を10%程度含んでいる。同様に戻り光も、斜め光を含んでいる。このため、斜め光が、基板10の上面や下側遮光膜11aの上面等で反射されて、或いは上側遮光膜の下面等で反射されて、更にこれらが当該電気光学装置内の他の界面で反射されて、内面反射光・多重反射光が生成される。従って、TFT30の上下に各種遮光膜を備えていても、両者間の隙間を介して進入する斜めの光は存在し得るので、本実施形態の如く、半導体層1aの脇で遮光を行なう突出部3bや、溝12cvに対応する凹状部分による遮光の効果は大きいといえる。

【0083】以上図4から図7を参照して説明したように、本実施形態の電気光学装置によれば、突出部3b及び溝12cvを設けることにより、耐光性を高められ、強力な入射光や戻り光が入射するような過酷な条件下にあっても光リーク電流の低減されたTFT30により画素電極9aを良好にスイッチング制御でき、最終的に

16

は、明るく高コントラストの画像を表示できる。

【0084】加えて本実施形態では、上側遮光膜は、走査線3a(突出部3bを含む)、容量線300、データ線6a等の一部からなるため、全体としてTFTアレイ基板10上における積層構造及び製造工程の簡略化を図れる。更に、本実施形態では、突出部3bは、走査線3aと同一膜から一体的になるので、突出部3bを形成するために、追加的な工程は不要である。

【0085】以上説明した本実施形態では、走査線3aを、容量線300や下地遮光膜11aの場合と同様に、金属又は合金を含む遮光膜(例えば、Ti、Cr、W、Ta、Mo、Pb等の高融点金属のうち少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等)から構成してもよい。このように構成すれば、走査線3a及び突出部3bにより、斜めの光に対するチャンネル領域やチャンネル隣接領域における遮光性能をより向上できる。

【0086】以上説明した本実施形態では、突出部3bは、各チャンネル領域1a'に対し4つ形成しているが、チャンネル領域1a'の片脇のみに形成しても、或いは図2でチャンネル領域1a'の上側のみに又は下側のみに形成しても、ある程度の類似効果が得られる。例えば、半導体層1aの周囲における配線や素子等の配置に鑑み、チャンネル領域1a'の両脇或いは上下両方に突出部3bを合計4つ形成することが困難である場合などには、レイアウトに無理を加えることなく、片脇のみに或いは上側又は下側のみに、チャンネル領域毎に3つ以下の突出部3bを設ければよい。

【0087】更に以上説明した実施形態では、画素スイッチング用TFT30は、好ましくは図3に示したようにLDD構造を持つが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物の打ち込みを行わないオフセット構造を持つてよいし、走査線3aの一部からなるゲート電極をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型のTFTであってもよい。また本実施形態では、画素スイッチング用TFT30のゲート電極を高濃度ソース領域1d及び高濃度ドレイン領域1e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。このようにデュアルゲート或いはトリプルゲート以上でTFTを構成すれば、チャンネルとソース及びドレイン領域との接合部のリーク電流を防止でき、オフ時の電流を低減することができる。

【0088】尚、図8に示したように、下地絶縁膜12に代えて、第1層間絶縁膜41に溝41cvを掘り、上側遮光膜を構成する中継層71、容量線300及びデータ線6に夫々、溝41cvに対応して下側に凹状に形成された部分を含むように形成しても、上述の実施形態と類似の遮光性能が得られる。

(10)

17

【0089】（製造プロセス）次に、本発明による電気光学装置の製造プロセスについて図9及び図10を参照して説明する。ここに図9及び図10は、製造プロセスの各工程における電気光学装置の半導体層1a付近の様子を図6と同様に図4のC-C'断面図で順を追って示す工程図である。

【0090】先ず図9の工程（1）に示すように、石英基板、ハードガラス、シリコン基板等のTFTアレ基板10を用意する。ここで、好ましくはN₂（窒素）等の不活性ガス雰囲気且つ約900～1300℃の高温でアニール処理し、後に実施される高温プロセスにおけるTFTアレ基板10に生じる歪みが少なくなるように前処理しておく。

【0091】続いて、このように処理されたTFTアレ基板10の全面に、Ti、Cr、W、Ta、Mo及びPd等の金属や金属シリサイド等の金属合金膜を、スパッタリングにより、100～500nm程度の膜厚、好ましくは約200nmの膜厚の遮光膜を形成する。そしてフォトリソグラフィ及びエッチングにより、平面形状が格子状の下側遮光膜11aを形成する。

【0092】続いて、下側遮光膜11a上に、例えば、常圧又は減圧CVD法等によりTEOS（テトラ・エチル・オルソ・シリケート）ガス、TEB（テトラ・エチル・ボートレート）ガス、TMOP（テトラ・メチル・オキシ・フォスレート）ガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地絶縁膜12を形成する。この下地絶縁膜12の膜厚は、例えば約500～2000nm程度とする。

【0093】次に図9の工程（2）では、フォトリソグラフィ並びにドライ及びウエットエッチングにより、図4に示した平面形状を持つ溝12cvを掘る。溝12cvの深度は、溝12cvの底部に位置する下地絶縁膜12部分の膜厚が下地絶縁膜として良好に機能する程度の膜厚を残すように、下地絶縁膜12の膜厚に応じて例えば500～1500nm程度とする。

【0094】次に図9の工程（3）では、溝12cvの掘られた下地絶縁膜12上に、約450～550℃、好ましくは約500℃の比較的低温環境中で、流量約400～600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD（例えば、圧力約20～40PaのCVD）により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約600～700℃にて約1～10時間、好ましくは、4～6時間のアニール処理を施することにより、ポリシリコン膜を約50～200nmの粒径、好ましくは約100nmの粒径となるまで固相成長させる。固相成長させる方法としては、RTA（Rapid Thermal Anneal）を使ったアニール処理でも良いし、エキシマレーザー等を用いたレーザーアニールでも良い。この際、画素スイッチング用のTFT30

18

を、nチャネル型とするかpチャネル型にするかに応じて、V族元素やIII族元素のドーパントを僅かにイオン注入等によりドーピングしても良い。そして、フォトリソグラフィ及びエッチングにより、所定パターンを有する半導体層1aを形成する。

【0095】続いて、TFT30を構成する半導体層1aを約900～1300℃の温度、好ましくは約1000℃の温度により熱酸化して下層ゲート絶縁膜を形成し、続けて減圧CVD法等により、若しくは両者を続けて行うことにより、上層ゲート絶縁膜を形成する、これにより、多層の高温酸化シリコン膜（HTO膜）や窒化シリコン膜からなる（ゲート絶縁膜を含む）絶縁膜2を形成する。この結果、半導体層1aは、約30～150nmの厚さ、好ましくは約35～50nmの厚さとなり、絶縁膜2の厚さは、約20～150nmの厚さ、好ましくは約30～100nmの厚さとなる。

【0096】続いて、画素スイッチング用のTFT30のスレッショールド電圧V_{th}を制御するために、半導体層1aのうちNチャネル領域或いはPチャネル領域に、ボロン等のドーパントを予め設定された所定量だけイオン注入等によりドーピングする。

【0097】次に図9の工程（4）では、減圧CVD法等によりポリシリコン膜を堆積し、更にリン（P）を熱拡散し、このポリシリコン膜を導電化する。又は、Pイオンをこのポリシリコン膜の成膜と同時に導入したドーピングシリコン膜を用いてもよい。このポリシリコン膜の膜厚は、約100～500nmの厚さ、好ましくは約350nm程度である。そして、フォトリソグラフィ及びエッチングにより、TFT30のゲート電極部及び突出部3b（図4参照）を含めて所定パターンの走査線3aを形成する。

【0098】例えば、TFT30をLDD構造を持つnチャネル型のTFTとする場合、半導体層1aに、先ず低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するために、走査線3a（ゲート電極）をマスクとして、PなどのV族元素のドーパントを低濃度で（例えば、Pイオンを1～3×10¹³/cm²のドーピング量にて）ドーピングする。これにより走査線3a下の半導体層1aはチャネル領域1a'となる。更に、画素スイッチング用TFT30を構成する高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、走査線3aよりも幅の広い平面パターンを有するレジスト層を走査線3a上に形成する。その後、PなどのV族元素のドーパントを高濃度で（例えば、Pイオンを1～3×10¹⁵/cm²のドーピング量にて）ドーピングする。尚、例えば、低濃度のドーピングを行わずに、オフセット構造のTFTとしてもよく、走査線3aをマスクとして、Pイオン、Bイオン等を用いたイオン注入技術によりセルフアライン型のTFTとしてもよい。この不純物のドーピングにより走査線3aは更に低抵抗化される。

(11)

19

【0099】次に図9の工程(5)では、走査線3a上に、例えば、常圧又は減圧CVD法等によりTEOSガス、TEBガス、TMOPガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第1層間絶縁膜41を形成する。この第1層間絶縁膜41の膜厚は、例えば約500~2000nm程度とする。ここで好ましくは、800℃の程度の高温でアニール処理し、層間絶縁膜41の膜質を向上させておく。

【0100】続いて、層間絶縁膜41に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより、不図示のコンタクトホール83(図2及び図3参照)を同時開孔する。

【0101】続いて、減圧CVD法等によりポリシリコン膜を堆積し、更にリン(P)を熱拡散し、このポリシリコン膜を導電化する。又は、Pイオンをこのポリシリコン膜の成膜と同時に導入したドーパントシリコン膜を用いてもよい。このポリシリコン膜の膜厚は、約100~500nmの厚さ、好ましくは約150nm程度である。そして、フォトリソグラフィ及びエッチングにより、不図示の中継層71(図2及び図3参照)を形成する。

【0102】続いて、画素電位側容量電極を兼ねる画素電極中継層71及び第1層間絶縁膜41上に、減圧CVD法、プラズマCVD法等により高温酸化シリコン膜(HTO膜)や窒化シリコン膜からなる誘電体膜75を膜厚50nm程度の比較的薄い厚さに堆積する。但し、誘電体膜75は、絶縁膜2の場合と同様に、単層膜或いは多層膜のいずれから構成してもよく、一般にTFETのゲート絶縁膜を形成するのに用いられる各種の公知技術により形成可能である。そして、誘電体膜75を薄くする程、蓄積容量70は大きくなるので、結局、膜破れなどの欠陥が生じないことを条件に、膜厚50nm以下の極薄い絶縁膜となるように誘電体膜75を形成すると有利である。

【0103】続いて、誘電体膜75上に、Ti、Cr、W、Ta、Mo及びPd等の金属や金属シリサイド等の金属合金膜を、スパッタリングにより、100~500nm程度の膜厚に形成する。そしてフォトリソグラフィ及びエッチングにより、所定パターンを持つ容量線300を形成する。即ち、蓄積容量70が完成する。

【0104】但し、容量線300を多層膜から構成する場合には、先ず誘電体膜75上に減圧CVD法等によりポリシリコン膜を堆積し、更にリン(P)を熱拡散し、このポリシリコン膜を導電化して第1膜を形成し、この上に更に、金属や金属シリサイド等の金属合金膜を第2膜として積層形成した後、フォトリソグラフィ及びエッチングにより第1及び第2膜から所定パターンを持つ容量線300を形成してもよい。

【0105】次に図10の工程(6)では、例えば、常

20

圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜42を形成する。第1層間絶縁膜42の膜厚は、例えば500~1500nm程度である。

【0106】続いて、第2層間絶縁膜42に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより、不図示のコンタクトホール81(図2及び図3参照)を開孔する。

【0107】続いて、第2層間絶縁膜42上の全面に、スパッタリング等により、遮光性のAl等の低抵抗金属や金属シリサイド等を金属膜として、約100~500nmの厚さ、好ましくは約300nmに堆積する。そして、フォトリソグラフィ及びエッチングにより、所定パターンを有するデータ線6aを形成する。

【0108】次に図10の工程(7)では、データ線6a上を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第3層間絶縁膜43を形成する。第3層間絶縁膜43の膜厚は、例えば500~1500nm程度である。

【0109】続いて、第3層間絶縁膜43に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより、不図示のコンタクトホール85(図2及び図3参照)を開孔する。

【0110】続いて、第3層間絶縁膜43上に、スパッタ処理等により、ITO膜等の透明導電性膜を、約50~200nmの厚さに堆積する。そして、フォトリソグラフィ及びエッチングにより、画素電極9aを形成する。尚、当該液晶装置を反射型の液晶装置に用いる場合には、Al等の反射率の高い不透明な材料から画素電極9aを形成してもよい。

【0111】続いて、画素電極9aの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜16(図3参照)が形成される。

【0112】他方、図3に示した対向基板20については、ガラス基板等が先ず用意され、額縁としての遮光膜が、例えば金属クロムをスパッタした後、フォトリソグラフィ及びエッチングを経て形成される。尚、これらの遮光膜は、導電性である必要はなく、Cr、Ni、Alなどの金属材料の他、カーボンやTiをフォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。

【0113】その後、対向基板20の全面にスパッタ処理等により、ITO等の透明導電性膜を、約50~200nmの厚さに堆積することにより、対向電極21を形成する。更に、対向電極21の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持

(12)

21

つように且つ所定方向でラビング処理を施すこと等により、配向膜22（図3参照）が形成される。

【0114】最後に、上述のように各層が形成されたTFTアレ基板10と対向基板20とは、配向膜16及び22が対面するようにシール材（図11及び図12参照）により貼り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶が吸引されて、所定層厚の液晶層50が形成される。

【0115】以上説明した本発明の製造プロセスによれば、上述した本発明による電気光学装置を製造できる。この際特に、工程（4）における走査線3bのパターニング処理に若干の変更を加えるだけで図4に示した如き突出部3bを形成でき、更に工程（2）で溝12cvを掘るだけで、その上方にある上側遮光膜として機能する各種導電膜を、下側に凹状に形成された部分を含むように形成できるので、全体として比較的簡単に、当該製造プロセスを実施できる。

【0116】尚、前述した変形形態に係る電気光学装置（図8参照）を製造する場合には、図9の工程（2）に示した溝12cvを掘る処理を省略し、代わりに、工程（5）の途中で、第1層間絶縁膜41に対して、溝41cvを掘るようにすれば足り、残りの工程は上述した図9及び図10に示したのと同様で済む。

【0117】（電気光学装置の全体構成）以上のように構成された各実施形態における電気光学装置の全体構成を図11及び図12を参照して説明する。尚、図11は、TFTアレ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図12は、図11のH-H'断面図である。

【0118】図11において、TFTアレ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、画像表示領域10aの周辺を規定する額縁としての遮光膜53が設けられている。シール材52の外側の領域には、データ線6aに画像信号を所定タイミングで供給することによりデータ線6aを駆動するデータ線駆動回路101及び外部回路接続端子102がTFTアレ基板10の一辺に沿って設けられており、走査線3aに走査信号を所定タイミングで供給することにより走査線3aを駆動する走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域10aの辺に沿って両側に配列してもよい。更にTFTアレ基板10の残る一辺には、画像表示領域10aの両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレ基板10と対向基板20と

22

の間で電氣的に導通をとるための導通材106が設けられている。そして、図12に示すように、図11に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレ基板10に固着されている。

【0119】尚、TFTアレ基板10上には、これらのデータ線駆動回路101、走査線駆動回路104等に加えて、複数のデータ線6aに画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

【0120】以上図1から図12を参照して説明した実施形態では、データ線駆動回路101及び走査線駆動回路104をTFTアレ基板10の上に設ける代わりに、例えばTAB（Tape Automated bonding）基板上に実装された駆動用LSIに、TFTアレ基板10の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレ基板10の出射光が出射する側には各々、例えば、TN（Twisted Nematic）モード、VA（Vertically Aligned）モード、PDL C（Polymer Dispersed Liquid Crystal）モード等の動作モードや、ノーマリーホワイトモード／ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定方向で配置される。

【0121】以上説明した実施形態における電気光学装置は、プロジェクタに適用されるため、3枚の電気光学装置がRGB用のライトバルブとして各々用いられ、各ライトバルブには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、プロジェクタ以外の直視型や反射型のカラー電気光学装置について、各実施形態における電気光学装置を適用できる。また、対向基板20上に1画素1個に対応するようにマイクロレンズを形成してもよい。あるいは、TFTアレ基板10上のRGBに対向する画素電極9a下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー電気光学装置が実現できる。

(13)

23

【０１２２】本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気光学装置及びその製造方法もまた本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【図１】本発明の実施形態の電気光学装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【図2】実施形態の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図3】 図2のA-A'断面図である。

【図4】図2のうち突出部と半導体層とを抜粋して、下地絶縁膜に掘られた溝と共に示す平面図である。

【図5】図4のB-B'断面図である。

【図6】図4のC-C'断面図である。

【図7】図4のD-D'断面図である。

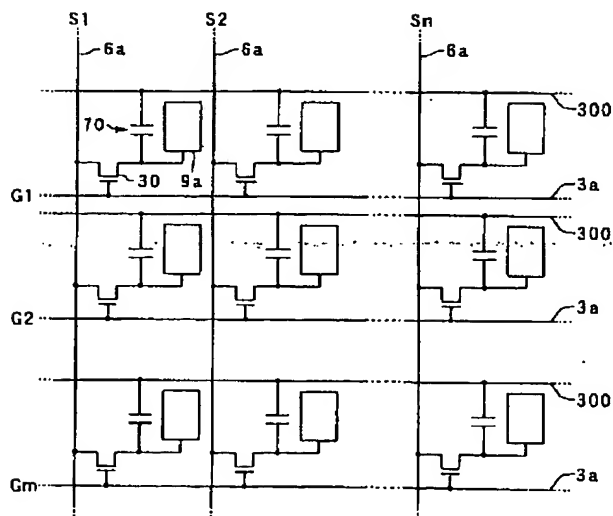
【図8】変形形態における図4のC-C'断面図である。

【図 9】本発明による製造プロセスの各工程における電気光学装置の半導体層付近の様子を図 4 の C-C' 断面図で順を追って示す工程図（その 1）である。

【図１０】本発明による製造プロセスの各工程における電気光学装置の半導体層付近の様子を図４のＣ－Ｃ’断面図で順を追って示す工程図（その２）である。

【図 11】実施形態の電気光学装置における TFT アレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図 1】



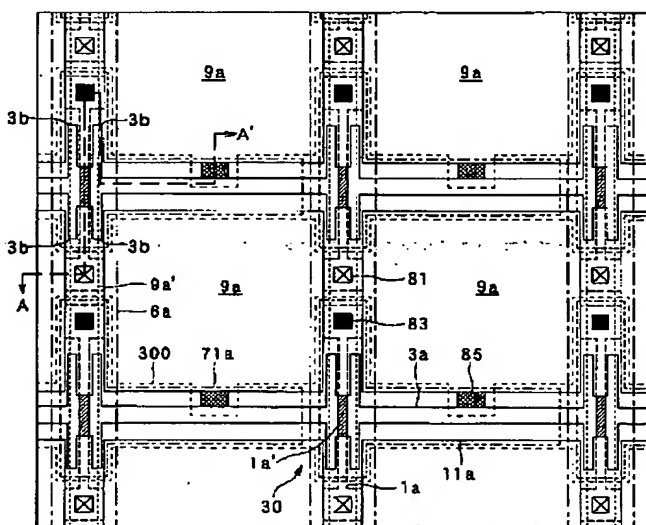
24

【図 1 2】 図 1 1 の H-H' 断面図である。

【符号の説明】

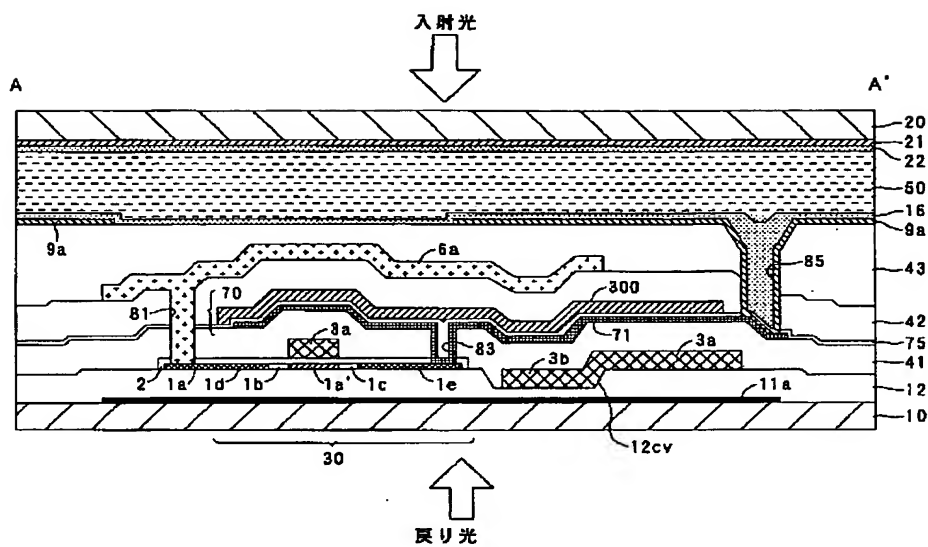
- 1 a …半導体層
- 1 a' …チャネル領域
- 1 b …低濃度ソース領域
- 1 c …低濃度ドレイン領域
- 1 d …高濃度ソース領域
- 1 e …高濃度ドレイン領域
- 2 …絶縁膜
- 3 a …走査線
- 3 b …突出部
- 6 a …データ線
- 9 a …画素電極
- 1 0 …TFTアレイ基板
- 1 0 c v …溝
- 1 1 a …下側遮光膜
- 1 2 …下地絶縁膜
- 1 2 c v …溝
- 1 6 …配向膜
- 2 0 …対向基板
- 2 1 …対向電極
- 2 2 …配向膜
- 3 0 …TFT
- 5 0 …液晶層
- 7 0 …蓄積容量
- 7 1 …中継層
- 7 5 …誘電体膜
- 8 1、8 3、8 5 …コンタクトホール
- 3 0 0 …容量線

【図 2】

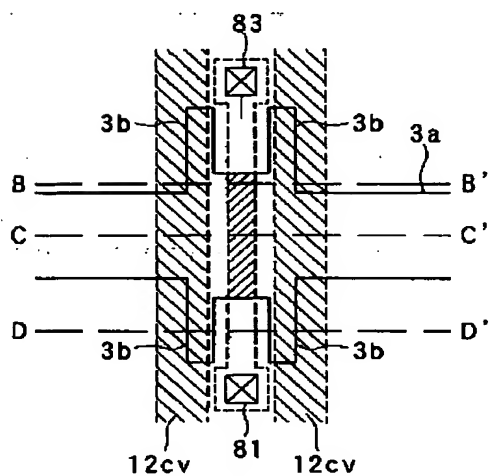


(14)

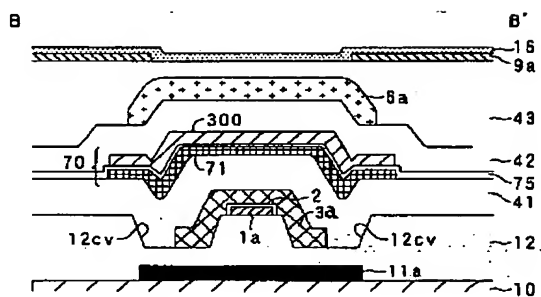
【図 3】



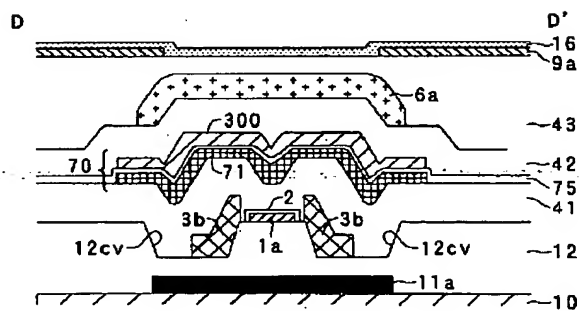
【図4】



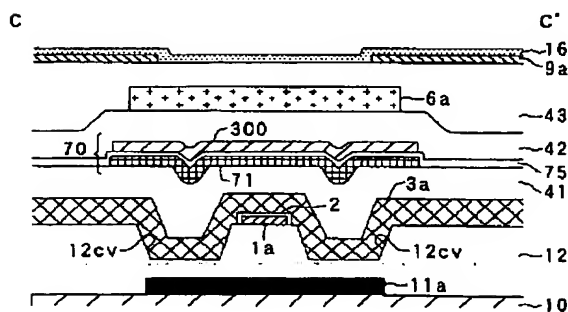
【図 5】



【図 7】

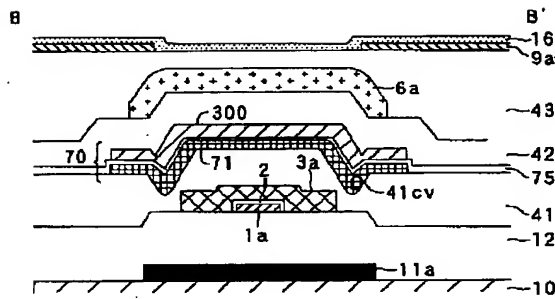


【図 6】

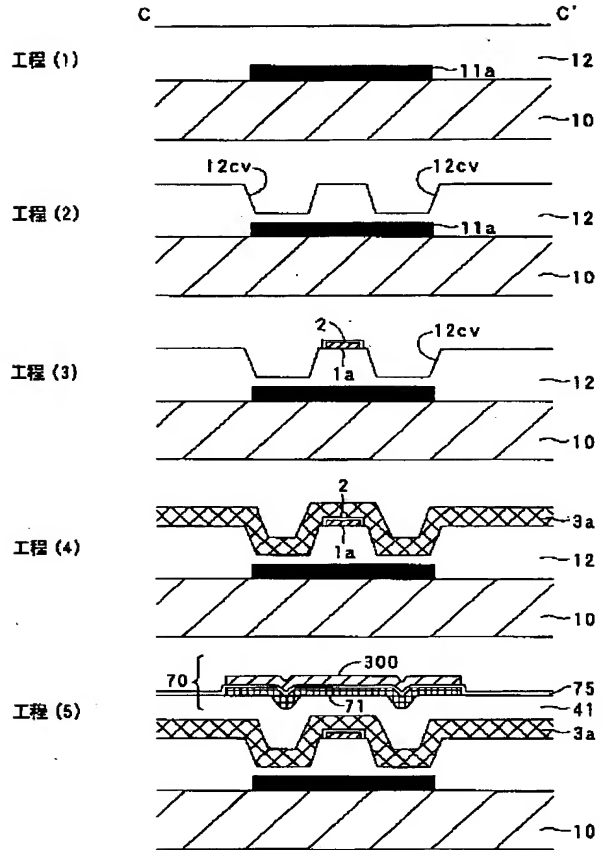


(15)

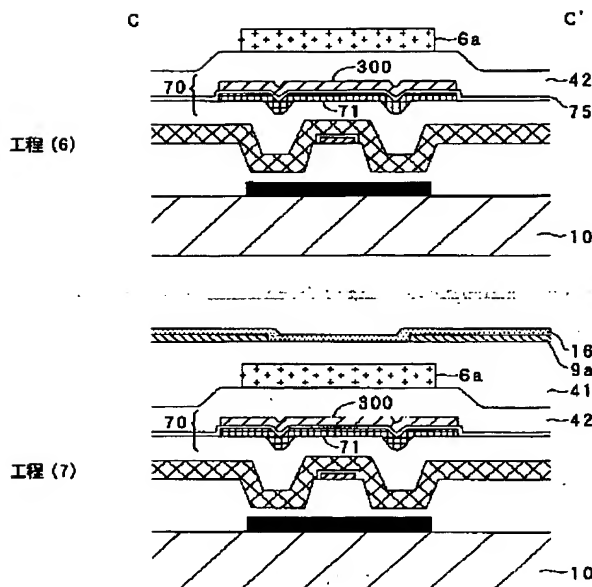
【図8】



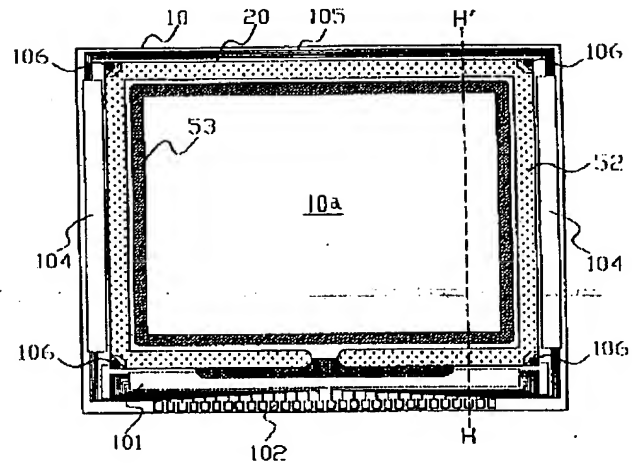
【図9】



【図10】

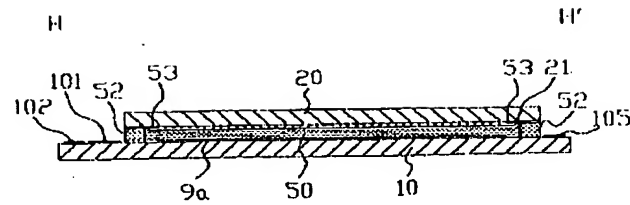


【図11】



(16)

【図12】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード* (参考)

H 0 1 L 29/78

6 1 7 K

6 2 6 C

F ターム (参考) 2H091 FA35Y FB08 FC10 FC26
 FD04 FD22 GA13 LA03 LA11
 LA12 MA07
 2H092 HA11 JA26 JA29 JA38 JA42
 JA44 JA46 JB13 JB23 JB32
 JB33 JB51 JB57 JB63 JB69
 KA04 KA07 MA05 MA07 MA14
 MA15 MA16 MA18 MA19 MA20
 MA27 MA28 MA35 MA37 MA41
 NA25 NA27 NA29 PA09 RA05
 5C094 AA25 AA43 AA48 AA53 BA03
 BA43 CA19 DA13 DB01 DB04
 EA04 EA10 EB02 ED15 FA01
 FA02 FB12 FB14 FB15 GB10
 5F110 BB01 CC02 DD02 DD03 DD05
 DD12 DD13 DD14 DD21 DD25
 EE09 EE14 EE22 EE28 EE37
 EE45 FF02 FF03 FF09 FF23
 FF29 GG02 GG13 GG23 GG25
 GG32 GG47 GG52 HJ01 HJ04
 HJ13 HJ23 HM14 HM15 NN03
 NN04 NN22 NN23 NN24 NN25
 NN26 NN35 NN45 NN46 NN54
 NN72 NN73 PP02 PP03 PP10
 PP13 QQ11 QQ19

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成16年12月24日(2004.12.24)

【公開番号】特開2002-158360(P2002-158360A)

【公開日】平成14年5月31日(2002.5.31)

【出願番号】特願2000-354544(P2000-354544)

【国際特許分類第7版】

H 0 1 L 29/786

G 0 2 F 1/1335

G 0 2 F 1/1368

G 0 9 F 9/30

【F I】

H 0 1 L 29/78 6 1 9 B

G 0 2 F 1/1335 5 0 0

G 0 9 F 9/30 3 3 8

G 0 2 F 1/136 5 0 0

H 0 1 L 29/78 6 1 2 C

H 0 1 L 29/78 6 1 7 K

H 0 1 L 29/78 6 2 6 C

【手続補正書】

【提出日】平成16年1月19日(2004.1.19)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】電気光学装置及びその製造方法並びにプロジェクト

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板上に、
画素電極と、
該画素電極に対応して配置された薄膜トランジスタと、
該薄膜トランジスタに電氣的に接続された走査線と
を備えており、

前記薄膜トランジスタは、長手方向に延びるチャネル領域と該チャネル領域から更に前記長手方向に延びるチャネル隣接領域とを含む半導体層を有しており、前記走査線は、前記長手方向に交わる方向に延びると共に平面的に見て前記チャネル領域に重なる前記薄膜トランジスタのゲート電極を含む本体部と、平面的に見て前記チャネル隣接領域の脇において前記本体部から前記長手方向に突出する突出部とを有することを特徴とする電気光学装置。

【請求項2】

前記本体部と前記突出部とは、同一膜から一体的になることを特徴とする請求項1に記載の電気光学装置。

【請求項 3】

前記本体部は、前記ゲート電極を含む個所が幅広に形成されていることを特徴とする請求項 1 又は 2 に記載の電気光学装置。

【請求項 4】

前記突出部は、平面的に見て前記チャンネル領域毎に、そのソース側及びドレイン側に夫々位置する前記チャンネル隣接領域の両脇において夫々突出していることを特徴とする請求項 1 から 3 のいずれか一項に記載の電気光学装置。

【請求項 5】

前記走査線は、金属又は合金を含む遮光膜からなることを特徴とする請求項 1 から 4 のいずれか一項に記載の電気光学装置。

【請求項 6】

前記走査線は、金属膜とシリコン膜との多層構造を有することを特徴とする請求項 5 に記載の電気光学装置。

【請求項 7】

基板上に、
画素電極と、
該画素電極に対応して配置された薄膜トランジスタと、
該薄膜トランジスタに電氣的に接続された配線と、
前記薄膜トランジスタの少なくともチャンネル領域を上側から覆う上側遮光膜と を備えて
おり、
前記上側遮光膜は少なくとも部分的に、前記チャンネル領域の長手方向に直交する断面上で
前記チャンネル領域側から見て凹状に形成されていることを特徴とする電気光学装置。

【請求項 8】

前記上側遮光膜は、前記配線の一部からなることを特徴とする請求項 7 に記載の電気光学装置。

【請求項 9】

前記上側遮光膜は、前記画素電極に対して蓄積容量を付与するための容量電極を含むことを特徴とする請求項 7 又は 8 に記載の電気光学装置。

【請求項 10】

前記薄膜トランジスタは、前記チャンネル領域と前記チャンネル領域から更に前記長手方向に
延びるチャンネル隣接領域とを含む半導体層を有しており、
前記配線は、走査線を含み、
前記走査線は、前記長手方向に交わる方向に延びると共に平面的に見て前記チャンネル領域
に重なる前記薄膜トランジスタのゲート電極を含む本体部と、平面的に見て前記チャンネル
隣接領域の脇において前記本体部から前記長手方向に突出する突出部とを有することを特
徴とする請求項 7 から 10 のいずれか一項に記載の電気光学装置。

【請求項 11】

前記基板又は前記基板上の下地絶縁膜に、平面的に見て前記チャンネル領域の脇に前記長手
方向に沿って延びる溝が形成されており、
前記上側遮光膜は、前記溝による段差に応じて前記凹状に形成されていることを特徴とす
る請求項 7 から 10 のいずれか一項に記載の電気光学装置。

【請求項 12】

前記基板上に、前記チャンネル領域の上側且つ前記上側遮光膜の下側に位置する層間絶縁膜
を更に備えており、
前記層間絶縁膜に、平面的に見て前記チャンネル領域の脇に前記長手方向に沿って延びる溝
が形成されており、
前記上側遮光膜は、前記溝による段差に応じて前記凹状に形成されていることを特徴とす
る請求項 7 から 10 のいずれか一項に記載の電気光学装置。

【請求項 13】

請求項 11 に記載の電気光学装置を製造する電気光学装置の製造方法であって、

前記基板又は前記下地絶縁膜に前記溝を掘る工程と、
前記溝が掘られた基板上に前記半導体層を形成する工程と、
前記半導体層の上側に前記上側遮光膜を形成する工程と
を備えたことを特徴とする電気光学装置の製造方法。

【請求項 14】

請求項 12 に記載の電気光学装置を製造する電気光学装置の製造方法であって、
前記基板上に前記半導体層を形成する工程と、
前記半導体層の上側に前記層間絶縁膜を形成する工程と、
前記層間絶縁膜に前記溝を掘る工程と、
前記溝が掘られた層間絶縁膜上に前記上側遮光膜を形成する工程と
を備えたことを特徴とする電気光学装置の製造方法。

【請求項 15】

請求項 1 から 12 のいずれか一項に記載の電気光学装置をライトバルブとして用いること
を特徴とするプロジェクタ。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

【課題を解決するための手段】

本発明の第 1 電気光学装置は上記課題を解決するために、基板上に、画素電極と、該画素電極に対応して配置された薄膜トランジスタと、該薄膜トランジスタに電氣的に接続された走査線とを備える。前記薄膜トランジスタは、長手方向に延びるチャネル領域と該チャネル領域から更に前記長手方向に延びるチャネル隣接領域とを含む半導体層を有する。前記走査線は、前記長手方向に交わる方向に延びると共に平面的に見て前記チャネル領域に重なる前記薄膜トランジスタのゲート電極を含む本体部と、平面的に見て前記チャネル隣接領域の脇において前記本体部から前記長手方向に突出する突出部とを有する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

本発明の第 1 電気光学装置によれば、画素電極をこれに対応して配置された薄膜トランジスタによりスイッチング制御することにより、アクティブマトリクス駆動方式による駆動を行なえる。そして、走査線は、平面的に見て、薄膜トランジスタのゲート電極を含む本体部から、チャネル隣接領域の脇において、チャネル隣接領域に沿って突出する突出部を有する。従って、基板面に対して斜めに進行する入射光及び戻り光、並びにこれらに基づく内面反射光及び多重反射光などの斜めの光が、チャネル領域及びチャネル隣接領域に入射するのを、走査線のうちゲート電極を含む本体部だけでなく、特に突出部による光吸収或いは光反射により、少なくとも部分的に阻止できる。この際特に、チャネル隣接領域からの層間距離が非常に小さい位置（即ち、一般にゲート絶縁膜の厚みだけ離れた層間位置）に配置される突出部により遮光を行なうことで、非常に効果的に当該遮光を行なえる。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

本発明の第2電気光学装置は上記課題を解決するために、基板上に、画素電極と、該画素電極に対応して配置された薄膜トランジスタと、該薄膜トランジスタに電氣的に接続された配線と、前記薄膜トランジスタの少なくともチャネル領域を上側から覆う上側遮光膜とを備える。前記上側遮光膜は少なくとも部分的に、前記チャネル領域の長手方向に直交する断面上で前記チャネル領域側から見て凹状に形成されている。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正の内容】

【0027】

本発明の第2電気光学装置によれば、画素電極をこれに対応して配置された薄膜トランジスタによりスイッチング制御することにより、アクティブマトリクス駆動方式による駆動を行なえる。そして、チャネル領域を上側から覆う上側遮光膜は少なくとも部分的に、チャネル領域の長手方向に直交する断面上でチャネル領域側から見て凹状に形成されている（即ち、下側が凹状に形成されている）。このため、上側遮光膜が平坦である場合と比較して、基板面に対して斜めに進行する入射光並びに入射光及び戻り光に基づく内面反射光及び多重反射光などの斜めの光が、最終的に斜め上側からチャネル領域に入射するのを、当該上側遮光膜によって、より効果的に阻止できる。

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-158360

(43)Date of publication of application : 31.05.2002

(51)Int.Cl.

H01L 29/786
G02F 1/1335
G02F 1/1368
G09F 9/30

(21)Application number : 2000-354544

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 21.11.2000

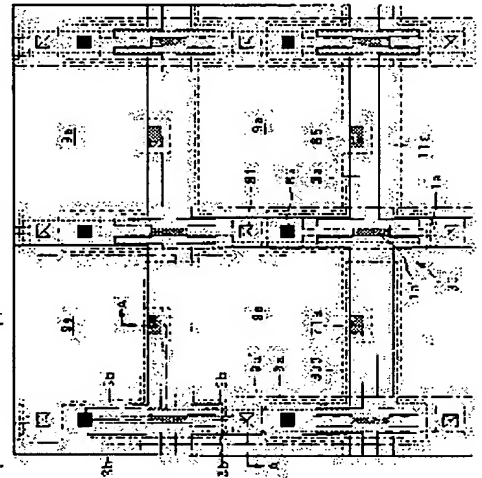
(72)Inventor : TAKAHARA KENICHI

(54) ELECTROOPTIC DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To display a bright image of a high quality level by enhancing a light resistance in an electrooptic device such as a liquid crystal device or the like.

SOLUTION: The electrooptic device comprises a pixel electrode (9a), a TFT (30) connected to the electrode and a scanning line (3a) connected to the TFT on a TFT array substrate (10). The scanning line has a body including a gate electrode of the TFT superposed on the channel region as planely seen and extended in a direction perpendicular to a longitudinal direction of the channel region of the TFT, and a protrusion protruded in the longitudinal direction of the channel region from the body at a side of a channel adjacent region as planely seen. The device further comprises upper shielding film (300, 6a) covering the channel region from the upper side. The shielding film is at least partly formed in a recess shape as seen from the channel region on a section perpendicular to the longitudinal direction of the channel region.



LEGAL STATUS

[Date of request for examination]

19.01.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] On the substrate, it has a pixel electrode, the thin film transistor connected to this pixel electrode, and the scanning line connected to this thin film transistor. Said thin film transistor It has the semi-conductor layer including the channel field which extends in a longitudinal direction, and the channel adjoining field which extends in said longitudinal direction further from this channel field. Said scanning line The body section which contains the gate electrode of said thin film transistor which sees superficially and laps with said channel field while extending in the direction at which said longitudinal direction is crossed, The electro-optic device characterized by having the lobe which sees superficially and projects in said longitudinal direction from said body section in the side of said channel adjoining field.

[Claim 2] Said body section and said lobe are an electro-optic device according to claim 1 characterized by becoming in one from the same film.

[Claim 3] Said body section is an electro-optic device according to claim 1 or 2 characterized by forming the part containing said gate electrode broadly.

[Claim 4] Said lobe is an electro-optic device given in any 1 term of claims 1-3 characterized by having projected in both the sides of said channel adjoining field that see superficially and are located in a source and drain side for said every channel field, respectively, respectively.

[Claim 5] Said scanning line is an electro-optic device given in any 1 term of claims 1-4 characterized by consisting of a light-shielding film containing a metal or an alloy.

[Claim 6] Said scanning line is an electro-optic device according to claim 5 characterized by having the multilayer structure of a metal membrane and the silicon film.

[Claim 7] Said channel adjoining field is an electro-optic device given in any 1 term of claims 1-6 characterized by consisting of a LDD (Lightly Doped Drain) field or an offset field.

[Claim 8] It is the electro-optic device characterized by having the wrap top light-shielding film from the bottom, and for said top light-shielding film looking at a channel field from said channel field side at least on the cross section of a pixel electrode, the thin film transistor connected to this pixel electrode, wiring connected to this thin film transistor, and said thin film transistor which intersects perpendicularly with the longitudinal direction of said channel field partially, and being formed on a substrate at the concave.

[Claim 9] Said top light-shielding film is an electro-optic device according to claim 8 characterized by consisting of said some of wiring.

[Claim 10] Said top light-shielding film is an electro-optic device according to claim 8 or 9 characterized by including the capacity electrode for giving storage capacitance to said pixel electrode.

[Claim 11] Said top light-shielding film is an electro-optic device given in any 1 term of claims 8-10 characterized by consisting of a light-shielding film containing a metal or an alloy.

[Claim 12] Said thin film transistor has the semi-conductor layer including said channel field and channel adjoining field which extends in said longitudinal direction further from said channel field. Said wiring The body section which contains the gate electrode of said thin film transistor which sees superficially and laps with said channel field while said scanning line is prolonged in the direction at which said longitudinal direction is crossed including the scanning line, An electro-optic device given in any 1 term of claims 8-

11 characterized by having the lobe which sees superficially and projects in said longitudinal direction from said body section in the side of said channel adjoining field.

[Claim 13] It is an electro-optic device given in any 1 term of claims 8-12 characterized by forming in the substrate insulator layer on said substrate or said substrate the slot which sees superficially and extends along with said longitudinal direction by side of said channel field, and forming said top light-shielding film in said concave according to the level difference by said slot.

[Claim 14] It is an electro-optic device given in any 1 term of claims 8-12 characterized by having further the interlayer insulation film located in said channel field top and said top light-shielding film bottom on said substrate, forming in said interlayer insulation film the slot which sees superficially and extends along with said longitudinal direction by side of said channel field, and forming said top light-shielding film in said concave according to the level difference by said slot.

[Claim 15] The manufacture approach of the electro-optic device characterized by having the process which is the manufacture approach of an electro-optic device of manufacturing an electro-optic device according to claim 13, and trenches [said] said substrate or said substrate insulator layer, the process which forms said semi-conductor layer on the substrate with which it was trenched [said], and the process which forms said top light-shielding film in said semi-conductor layer bottom.

[Claim 16] The manufacture approach of the electro-optic device characterized by having the process which is the manufacture approach of an electro-optic device of manufacturing an electro-optic device according to claim 14, and forms said semi-conductor layer on said substrate, the process which forms said interlayer insulation film in said semi-conductor layer bottom, the process which trenches [said] said interlayer insulation film, and the process which forms said top light-shielding film on the interlayer insulation film with which it was trenched [said].

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention belongs to the technical field of the electro-optic device of a active-matrix drive method, and belongs to the electro-optic device of the format especially equipped with the thin film transistor for pixel switching (TFT is called suitably below Thin Film Transistor:) into the laminated structure on a substrate, and the technical field of the manufacture approach.

[0002]

[Background of the Invention] In the electro-optic device of a TFT active-matrix drive format, if incident light is irradiated by the channel field of TFT for pixel switching established in each pixel, optical leakage current will occur in excitation by light, and the property of TFT will change. It becomes important to shade the incident light to the channel field and its boundary region of TFT especially, in

the case of the electro-optic device for the light valves of a projector, since the reinforcement of incident light is high. then, the light-shielding film which specifies the opening field of each pixel conventionally established in the opposite substrate -- or it is constituted so that the starting channel field and its boundary region may be shaded with the data line which consists of metal membranes, such as aluminum (aluminum), while passing through a TFT top on a TFT array substrate. Furthermore, the light-shielding film which consists of a refractory metal may be prepared also in the location which counters the TFT bottom on a TFT array substrate. Thus, if a light-shielding film is prepared also in the TFT bottom, when the rear-face reflected light from a TFT array substrate side and two or more electro-optic devices are combined through prism etc. and it constitutes one optical system, it can prevent that return light, such as incident light which runs through prism etc., carries out incidence to TFT of the electro-optic device concerned from other electro-optic devices.

[0003]

[Problem(s) to be Solved by the Invention] However, according to the various protection-from-light techniques mentioned above, there are the following troubles.

[0004] That is, according to the technique which forms a light-shielding film on an opposite substrate and a TFT array substrate first, the protection from light to the light which looked at in three dimension, for example, has estranged considerably through a liquid crystal layer, an electrode, an interlayer insulation film, etc., and carries out incidence aslant to between both is not enough between a light-shielding film and a channel field. In the small electro-optic device used especially as a light valve of a projector, incident light is the flux of light which extracted the light from the light source with the lens, and since it contains so that the component which carries out incidence aslant cannot be disregarded (it is the component which inclined about 15 degrees from 10 degrees from a direction perpendicular to a substrate about 10%), that the protection from light to the incident light of such slant is not enough poses a practice top problem.

[0005] In addition, after the light which invaded in the electro-optic device from the field without a light-shielding film is reflected on the top face of a light-shielding film and the inferior surface of tongue (namely, inside of the side which faces a channel field) of the data line which were formed in the top face of a substrate, or the top face of a substrate, finally the multiple echo light in which the reflected light or this starting was further reflected by the top face of a substrate or the inside of a light-shielding film or the data line may arrive at the channel field of TFT.

[0006] It takes for attaining highly-minute-izing of an electro-optic device, or detailed-ization of a pixel pitch in order to meet a general request called high-definition-izing of a display image in recent years especially. Furthermore, that a bright image should be displayed, it takes for raising the optical reinforcement of incident light, and according to the various conventional protection-from-light techniques mentioned above, it becomes more difficult to give sufficient protection from light, and there is a trouble that a flicker etc. will arise and the grace of a display image will fall by change of the transistor characteristics of TFT.

[0007] In addition, in order to raise such lightfastness, it is thought that what is necessary is just to extend the formation field of a light-shielding film, but in having extended the formation field of a light-shielding film, the trouble that it becomes difficult fundamentally to raise the numerical aperture of each pixel arises in order to raise the brightness of a display image. Furthermore, in having extended the formation field of a light-shielding film recklessly, when taking the example by the internal reflection which originated in slanting light by existence of light-shielding films (namely, light-shielding film of a TFT top which consists of a lower light-shielding film, the lower data line, etc. of TFT), and multiple echo light occurring like ****, there is also a trouble with difficult solution of causing increase of such an internal reflection light or multiple echo light.

[0008] This invention is made in view of an above-mentioned trouble, and it excels in lightfastness, and let it be a technical problem to offer the high-definition bright electro-optic device in which image display is possible and its bright high-definition manufacture approach.

[0009]

[Means for Solving the Problem] The 1st electro-optic device of this invention is equipped with a pixel electrode, the thin film transistor connected to this pixel electrode, and the scanning line connected to this thin film transistor on a substrate, in order to solve the above-mentioned technical problem. Said thin film transistor has a semi-conductor layer including the channel field which extends in a longitudinal direction, and the channel adjoining field which extends in said longitudinal direction further from this channel field. Said scanning line has the lobe which regards as the body section containing the gate electrode of said thin film transistor which sees superficially and laps with said channel field superficially, and projects in said longitudinal direction from said body section in the side of said channel adjoining field while being prolonged in the direction at which said longitudinal direction is crossed.

[0010] According to the 1st electro-optic device of this invention, the drive by the active-matrix drive method can be performed by carrying out switching control by the thin film transistor by which the pixel electrode was connected to this. And the scanning line is seen superficially and it has the lobe which projects along a channel adjoining field in the side of a channel adjoining field from the body section containing the gate electrode of a thin film transistor. Therefore, it can prevent partially at least that the light of slant, such as internal reflection light based on these and multiple echo light, carries out incidence at a channel field and a channel adjoining field among the scanning lines not only by the body section but by the light absorption or the light reflex containing a gate electrode especially by the lobe in the incident light which advances aslant to a substrate side and return light, and a list. Under the present circumstances, the protection from light concerned can be performed very effectively by shading by the lobe by which the distance between layers from a channel adjoining field is arranged especially in a very small location (namely, location between layers from which only the thickness of gate dielectric film was generally separated).

[0011] For example, between the lobes of the scanning line and the body sections which function as a bottom light-shielding film with a comparatively small distance between layers, and a light-shielding film, when a bottom light-shielding film is prepared on a substrate at the thin film transistor bottom, since the configuration which pinches a channel adjoining field and a channel field is obtained, the very high protection-from-light engine performance is obtained to a slanting light.

[0012] Consequently, according to the 1st electro-optic device of this invention, it becomes possible to raise lightfastness, even if it is under a severe condition in which powerful incident light and return light carry out incidence, the switching control of the pixel electrode can be carried out good by the thin film transistor by which optical leakage current was reduced, and finally, a display of the bright image of high contrast is attained by this invention.

[0013] In one mode of the 1st electro-optic device of this invention, said body section and said lobe become in one from the same film.

[0014] Since the lobe for protection from light can be formed at the process which forms the scanning line with the body section in case the 1st electro-optic device concerned is manufactured according to this mode, the additional process is unnecessary in order to form the lobe concerned. Therefore, simplification of the laminated structure on a substrate and a manufacture process can be attained.

[0015] In other modes of the 1st electro-optic device of this invention, the part where said body section contains said gate electrode is formed broadly.

[0016] According to this mode, since the part containing a gate electrode is formed broadly, the body section of the scanning line can improve the protection-from-light engine performance in the slanting channel field and slanting channel adjoining field by the broad body section to light. Moreover, in case the 1st electro-optic device concerned is manufactured, in order to form the specific part of the body section broadly in this way, what is necessary is just to add some modification to the flat-surface pattern of the scanning line, and the additional process is unnecessary.

[0017] In other modes of the 1st electro-optic device of this invention, said lobe is projected in both the sides of said channel adjoining field that see superficially and are located in a source and drain side for

said every channel field, respectively, respectively.

[0018] According to this mode, a total of four lobes will be prepared in that source side and a drain side list for every thin film transistor at both those sides. Therefore, the protection-from-light engine performance to the light of the slant which carries out incidence from various kinds of directions in three dimension can be improved by these lobes.

[0019] Said scanning line consists of a light-shielding film containing a metal or an alloy in other modes of the 1st electro-optic device of this invention.

[0020] According to this mode, the scanning line consists of a light-shielding film containing a metal or an alloy, and more specifically consists of the metal simple substance containing at least one of refractory metals, such as Ti (titanium), Cr (chromium), W (tungsten), Ta (tantalum), Mo (molybdenum), and Pb (lead), an alloy, metal silicide, a polysilicon side, a thing that carried out the laminating of these. Therefore, the protection-from-light engine performance in the slanting channel field and slanting channel adjoining field to light can be improved more by the body section and the lobe of the scanning line which consists of such a light-shielding film.

[0021] However, even if it forms the scanning line such from not a light-shielding film but from the polish recon film etc., the protection-from-light engine performance according to the light absorption property is obtained.

[0022] Said scanning line may consist of this mode so that it may have the multilayer structure of a metal membrane and the silicon film.

[0023] Thus, a property good also as a gate electrode formed on the gate dielectric film (for example, gate oxide etc.) of a thin film transistor is realizable, the body section and a lobe realizing the high protection-from-light engine performance, if constituted.

[0024] Said channel adjoining field consists of a LDD (Lightly Doped Drain) field or an offset field in other modes of the 1st electro-optic device of this invention.

[0025] According to this mode, the situation where the property of a thin film transistor changes can be effectively prevented by protection from light by the lobe of the scanning line because a slanting light carries out incidence to a LDD field or an offset field.

[0026] In order to solve the above-mentioned technical problem, the 2nd electro-optic device of this invention is equipped with a wrap top light-shielding film for a channel field from the bottom on a substrate, even if there are few a pixel electrode, thin film transistors connected to this pixel electrode, wiring connected to this thin film transistor, and said thin film transistors. At least, partially, said top light-shielding film is seen from said channel field side on the cross section which intersects perpendicularly with the longitudinal direction of said channel field, and is formed in the concave.

[0027] According to the 2nd electro-optic device of this invention, the drive by the active-matrix drive method can be performed by carrying out switching control by the thin film transistor by which the pixel electrode was connected to this. And a top to a wrap top light-shielding film looks at a channel field from a channel field side at least on the cross section which intersects perpendicularly with the longitudinal direction of a channel field partially, and it is formed in the concave (that is, the bottom is formed in the concave). For this reason, as compared with the case where a top light-shielding film is flat, the light of slant, such as internal reflection light based on incident light and return light and multiple echo light, can prevent more effectively carrying out incidence from the slant bottom to a channel field finally by the top light-shielding film concerned in the incident light list which advances aslant to a substrate side.

[0028] For example, between a bottom light-shielding film and a top light-shielding film, when a bottom light-shielding film is prepared on a substrate at the thin film transistor bottom, since the configuration which pinches a channel field is obtained, the very high protection-from-light engine performance is obtained to a slanting light. Under the present circumstances, partially, with the irregularity of the top light-shielding film mentioned above, a bottom light-shielding film is seen reversely [vertical] from a channel field side on the cross section which intersects perpendicularly with the longitudinal direction of

a channel field, and may be formed in it at least at a concave (that is, the bottom may be formed in a concave).

[0029] Consequently, according to the 2nd electro-optic device of this invention, it becomes possible to raise lightfastness, even if it is under a severe condition in which powerful incident light and return light carry out incidence, the switching control of the pixel electrode can be carried out good by the thin film transistor by which optical leakage current was reduced, and finally, a display of the bright image of high contrast is attained by this invention.

[0030] Said top light-shielding film consists of said some of wiring in the mode of 1 of the 2nd electro-optic device of this invention.

[0031] According to this mode, since a top light-shielding film has a function as wiring, it not only has a function as a light-shielding film, but can attain the laminated structure on a substrate, and simplification of a production process as a whole. For example, the scanning line may be used for wiring which serves as a top light-shielding film, a capacity line may be used for it, the data line may be used for it, and such combination is sufficient as it.

[0032] In other modes of the 2nd electro-optic device of this invention, said top light-shielding film contains the capacity electrode for giving storage capacitance to said pixel electrode.

[0033] According to this mode, since a top light-shielding film has a function as a capacity electrode, it not only has a function as a light-shielding film, but can attain the laminated structure on a substrate, and simplification of a production process as a whole, making storage capacitance on a substrate. For example, a pixel potential side capacity electrode is sufficient as the capacity electrode which serves as a top light-shielding film, and a fixed potential side capacity electrode is sufficient as it. In the case of a pixel potential side capacity electrode, you may serve as the junction layer which carries out trunk connection of a thin film transistor and the pixel electrode further especially. In addition, it is also possible to constitute a top light-shielding film from a junction layer separate from such a capacity electrode.

[0034] Said top light-shielding film consists of a light-shielding film containing a metal or an alloy in other modes of the 2nd electro-optic device of this invention.

[0035] According to this mode, a top light-shielding film consists of a light-shielding film containing a metal or an alloy, and more specifically consists of the metal simple substance containing at least one of refractory metals, such as Ti, Cr, W, Ta, Mo, and Pb, an alloy, metal silicide, a polysilicon side, a thing that carried out the laminating of these. Or a top light-shielding film may be constituted so that it may have the multilayer structure of a metal membrane and the silicon film. Therefore, the protection-from-light engine performance in the channel field to a slanting light can be improved more by such top light-shielding film.

[0036] However, even if it forms a top light-shielding film from the polish recon film etc., the protection-from-light engine performance according to the light absorption property is obtained.

[0037] In other modes of the 2nd electro-optic device of this invention, said thin film transistor It has the semi-conductor layer including said channel field and channel adjoining field which extends in said longitudinal direction further from said channel field. Said wiring The body section which contains the gate electrode of said thin film transistor which sees superficially and laps with said channel field while said scanning line is prolonged in the direction at which said longitudinal direction is crossed including the scanning line, It has the lobe which sees superficially and projects in said longitudinal direction from said body section in the side of said channel adjoining field.

[0038] Since the configuration which has both protection-from-light function by the lobe of the scanning line in the 1st electro-optic device of this invention mentioned above and protection-from-light function by the top light-shielding film in the 2nd electro-optic device concerned with it is obtained according to this mode, it becomes possible to raise lightfastness much more.

[0039] In addition, in this invention, the various modes of the 1st electro-optic device mentioned above and the various modes of the 2nd electro-optic device mentioned above may be combined with

arbitration.

[0040] In other modes of the 2nd electro-optic device of this invention, the slot which sees superficially and extends along with said longitudinal direction by side of said channel field is formed in the substrate insulator layer on said substrate or said substrate, and said top light-shielding film is formed in said concave according to the level difference by said slot.

[0041] Since a top light-shielding film is formed in a concave by trenching the predetermined location of a substrate or a substrate insulator layer according to the level difference by that slot according to this mode, the 2nd electro-optic device which has a comparatively simple configuration is realizable.

[0042] In other modes of the 2nd electro-optic device of this invention, it has further the interlayer insulation film located in said channel field top and said top light-shielding film bottom on said substrate, the slot which sees superficially and extends along with said longitudinal direction by side of said channel field is formed in said interlayer insulation film, and said top light-shielding film is formed in said concave according to the level difference by said slot.

[0043] Since a top light-shielding film is formed in a concave by trenching the predetermined location of an interlayer insulation film according to the level difference by that slot according to this mode, the 2nd electro-optic device which has a comparatively simple configuration is realizable.

[0044] In order that the manufacture approach of the 1st electro-optic device of this invention may solve the above-mentioned technical problem The process which is the manufacture approach of an electro-optic device of manufacturing the 2nd electro-optic device in the mode by which the substrate or substrate insulator layer of this invention mentioned above was trenched, and trenches [said] said substrate or said substrate insulator layer, It has the process which forms said semi-conductor layer on the substrate with which it was trenched [said], and the process which forms said top light-shielding film in said semi-conductor layer bottom.

[0045] According to the manufacture approach of the 1st electro-optic device of this invention, the predetermined location of a substrate or a substrate insulator layer is trenched first, and if a top light-shielding film is formed in the conductor-layer bottom the second half, since a top light-shielding film will be formed in a concave according to the level difference by the slot, the 2nd electro-optic device can be manufactured comparatively easily.

[0046] In order that the manufacture approach of the 2nd electro-optic device of this invention may solve the above-mentioned technical problem The process which is the manufacture approach of an electro-optic device of manufacturing the 2nd electro-optic device in the mode by which the interlayer insulation film of this invention mentioned above was trenched, and forms said semi-conductor layer on said substrate, It has the process which forms said interlayer insulation film in said semi-conductor layer bottom, the process which trenches [said] said interlayer insulation film, and the process which forms said top light-shielding film on the interlayer insulation film with which it was trenched [said].

[0047] If the predetermined location of the interlayer insulation film which was first formed in the semi-conductor layer bottom according to the manufacture approach of the 2nd electro-optic device of this invention is trenched and a top light-shielding film is formed in the interlayer insulation film bottom after that, since a top light-shielding film will be formed in a concave according to the level difference by the slot, the 2nd electro-optic device can be manufactured comparatively easily.

[0048] Such an operation and other gains of this invention are made clear from the gestalt of the operation explained below.

[0049]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained based on a drawing. The following operation gestalten apply the electro-optic device of this invention to liquid crystal equipment.

[0050] (Configuration in the pixel section of an electro-optic device) The configuration in the pixel section of the electro-optic device in the operation gestalt of this invention is first explained with reference to drawing 3 from drawing 1 . Drawing 1 is equal circuits, such as various components in two

or more pixels formed in the shape of [which constitutes the image display field of an electro-optic device] a matrix, and wiring. Drawing 2 is a top view of two or more pixel groups where the TFT array substrate with which the data line, the scanning line, a pixel electrode, etc. were formed adjoins each other. Drawing 3 is the A-A' sectional view of drawing 2 . In addition, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 3 .

[0051] In drawing 1 , TFT30 for carrying out switching control of pixel electrode 9a and the pixel electrode 9a concerned, respectively is formed in two or more pixels formed in the shape of [which constitutes the image display field of the electro-optic device in this operation gestalt] a matrix, and data-line 6a to which a picture signal is supplied is electrically connected to the source concerned of TFT30. The picture signals S1, S2, --, Sn written in data-line 6a may be supplied to line sequential, and you may make it supply them to this order for every group to two or more data-line 6a which adjoin each other. Moreover, scanning-line 3a is electrically connected to the gate of TFT30, and it consists of predetermined timing so that the scan signals G1, G2, --, Gm may be impressed to scanning-line 3a in pulse line sequential at this order. It connects with the drain of TFT30 electrically, and pixel electrode 9a writes in the picture signals S1, S2, --, Sn supplied from data-line 6a in TFT30 which is a switching element when only a fixed period closes the switch to predetermined timing. Fixed period maintenance of the picture signals S1, S2, --, Sn of the predetermined level written in the liquid crystal as an example of electrooptic material through pixel electrode 9a is carried out between the counterelectrodes formed in the opposite substrate mentioned later. When the orientation and order of molecular association change with the voltage levels impressed, liquid crystal modulates light and enables a gradation display. The transmission to incident light decreases according to the electrical potential difference impressed in the unit of each pixel when it was in no MARI White mode, if it is in NOMA reeve rack mode, the transmission to incident light will be increased according to the electrical potential difference impressed in the unit of each pixel, and light with the contrast according to a picture signal will carry out outgoing radiation from an electro-optic device as a whole. Here, in order to prevent the held picture signal leaking, storage capacitance 70 is added to the liquid crystal capacity and juxtaposition which are formed between pixel electrode 9a and a counterelectrode.

[0052] In drawing 2 , on the TFT array substrate of an electro-optic device, two or more transparent pixel electrode 9a (the profile is shown by dotted-line section 9a') is prepared in the shape of a matrix, and data-line 6a and scanning-line 3a are prepared respectively along the boundary of pixel electrode 9a in every direction.

[0053] Moreover, scanning-line 3a is arranged so that channel field 1a' shown in the slash field of a Fig. Nakamigi riser among semi-conductor layer 1a may be countered, and scanning-line 3a functions as a gate electrode. While especially scanning-line 3a is broadly formed in the part used as the gate electrode concerned with this operation gestalt both the sides of semi-conductor layer 1a which sees superficially and is prolonged along with data-line 6a are equipped with lobe 3b which projects from the part concerned formed broadly, respectively (drawing 2 -- setting -- four places, the diagonal right of each channel field 1a', the diagonal left, the diagonal below, and the diagonal below). The configuration and the operation effectiveness of this lobe 3b are behind explained in full detail with reference to drawing 8 from drawing 4 .

[0054] Thus, TFT30 for pixel switching by which opposite arrangement of the scanning-line 3a was carried out as a gate electrode is formed in the crossing part of scanning-line 3a and data-line 6a at channel field 1a', respectively.

[0055] As shown in drawing 2 and drawing 3 , storage capacitance 70 is formed by carrying out opposite arrangement of the junction layer 71 as a pixel potential side capacity electrode connected to high concentration drain field 1e (and pixel electrode 9a) of TFT30, and a part of capacity line 300 as a fixed potential side capacity electrode through a dielectric film 75.

[0056] The capacity line 300 functions also as a fixed potential side capacity electrode while it consists

of a conductive light-shielding film containing a metal or an alloy and constitutes an example of a top light-shielding film. The capacity line 300 consists of the metal simple substance containing at least one of refractory metals, such as Ti, Cr, W, Ta, Mo, and Pb, an alloy, metal silicide, a polysilicon side, a thing that carried out the laminating of these. However, the capacity line 300 may have the multilayer structure to which the laminating of the 1st film which consists of conductive polish recon film etc., and the 2nd film which consists of metal silicide film containing a refractory metal etc. was carried out.

[0057] The junction layer 71 consists of conductive polish recon film, and functions as a pixel potential side capacity electrode. The junction layer 71 has a function as a light absorption layer arranged between the capacity line 300 as a top light-shielding film besides the function as a pixel potential side capacity electrode, and TFT30, and has further the function which carries out trunk connection of pixel electrode 9a and the high concentration drain field 1e of TFT30. However, the junction layer 71 as well as the capacity line 300 may consist of the monolayer film or multilayers containing a metal or an alloy.

[0058] The capacity line 300 was seen superficially, and is extended in the shape of a stripe along with scanning-line 3a, and the part which laps with TFT30 has projected it under drawing 2 Nakagami. And it sees superficially to the TFT30 up side on the TFT array substrate 10, the grid-like top light-shielding film is constituted, and by data-line 6a prolonged, respectively and the capacity line 300 prolonged in the longitudinal direction in drawing 2, respectively carrying out a phase crossover, and forming it in the lengthwise direction in drawing 2 has prescribed the opening field which is each pixel.

[0059] As especially this operation gestalt shows to drawing 3, to the substrate light-shielding film 12 on the TFT array substrate 10 And (in order to avoid complication of a drawing, it is not shown in drawing 2), Slot 12cv which sees superficially and is prolonged along with data-line 6a by both side of semi-conductor layer 1a is dug, and it corresponds to this slot 12cv. Scanning-line 3a (lobe 3b is included) by which laminating formation is carried out in the upper part, the junction layer 71, the capacity line 300, and data-line 6a contain the part formed at the concave at the bottom, respectively. The configuration and the operation effectiveness concerning this slot 12cv are also behind explained in full detail with reference to drawing 8 from drawing 4 with the configuration and the operation effectiveness of lobe 3b of scanning-line 3a.

[0060] As shown in drawing 2 and drawing 3, bottom light-shielding film 11a is prepared in the TFT30 bottom on the TFT array substrate 10 in the shape of a grid.

[0061] Bottom light-shielding film 11a consists of the metal simple substance containing at least one of refractory metals, such as Ti, Cr, W, Ta, Mo, and Pb, an alloy, metal silicide, a polysilicon side, a thing that carried out the laminating of these like the above-mentioned like the capacity line 300 which constitutes an example of a top light-shielding film.

[0062] Moreover, in drawing 3, the dielectric film 75 arranged between the junction layer 71 as a capacity electrode and the capacity line 300 consists of silicon oxide film, such as comparatively thin HTO (High Temperature Oxide) film of about 5-200nm of thickness, and LTO (Low Temperature Oxide) film, or a silicon nitride film. As long as membranous dependability is fully acquired from a viewpoint which increases storage capacitance 70, a dielectric film 75 is so good that it is thin.

[0063] Moreover, it is installed in the perimeter from the image display field where pixel electrode 9a has been arranged, it connects with the constant source of potential electrically, and let the capacity line 300 be fixed potential. The constant source of potential of a positive supply or a negative supply supplied to the data-line drive circuit (it mentions later) which controls the sampling circuit which supplies the scanning-line drive circuit (it mentions later) and picture signal for supplying the scan signal for driving TFT30 to scanning-line 3a as a starting constant source of potential to data-line 6a is sufficient, and the constant potential supplied to the counterelectrode 21 of the opposite substrate 20 is also available. Furthermore, in order to avoid that the potential fluctuation does a bad influence to TFT30 also about bottom light-shielding film 11a, it is good to install in the perimeter from an image display field, and to connect with the constant source of potential like the capacity line 300.

[0064] Pixel electrode 9a is electrically connected to high concentration drain field 1e among semi-

conductor layer 1a through contact holes 83 and 85 by relaying the junction layer 71. namely, -- this operation gestalt -- the junction layer 71 -- the function as a pixel potential side capacity electrode of storage capacitance 70, and the function as a light absorption layer -- in addition, the function which carries out trunk connection of the pixel electrode 9a to TFT30 is achieved. Thus, if the junction layer 71 is used, even if the distance between layers is long to about 2000nm, between both is comparatively connectable good in two or more in-series contact holes of a minor diameter, avoiding the technical difficulty which connects between both in one contact hole, it becomes possible [raising a pixel numerical aperture], etching at the time of contact hole puncturing runs, and it is useful also to prevention.

[0065] The electro-optic device is equipped with the transparent TFT array substrate 10 and the transparent opposite substrate 20 by which opposite arrangement is carried out at this in drawing 2 and drawing 3 . The TFT array substrate 10 consists of for example, a quartz substrate, a glass substrate, and a silicon substrate, and the opposite substrate 20 consists of a glass substrate or a quartz substrate.

[0066] As shown in drawing 3 , pixel electrode 9a is prepared in the TFT array substrate 10, and the orientation film 16 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the bottom. Pixel electrode 9a consists of transparent conductive film, such as for example, ITO (Indium Tin Oxide) film. Moreover, the orientation film 16 consists of organic film, such as for example, polyimide film.

[0067] On the other hand, it crosses to the opposite substrate 20 all over the, the counterelectrode 21 is formed, and the orientation film 22 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the bottom. A counterelectrode 21 consists of transparent conductive film, such as for example, ITO film. Moreover, the orientation film 22 consists of organic film, such as polyimide film.

[0068] You may make it prepare the light-shielding film of the shape of the shape of a grid, and a stripe in the opposite substrate 20. It can prevent more certainly that the incident light from the opposite substrate 20 side invades into channel field 1a', low concentration source field 1b, and low concentration drain field 1c by the light-shielding film on the opposite substrate 20 concerned with the capacity line 300 and data-line 6a which constitute a top light-shielding film from taking such a configuration like the above-mentioned. furthermore, the field where incident light is irradiated to the light-shielding film on such an opposite substrate 20 at least -- high -- it serves to prevent the temperature rise of an electro-optic device by forming by the film [****]. In addition, in this way, the light-shielding film on the opposite substrate 20 is formed so that it may be located inside the protection-from-light layer which sees superficially preferably and consists of a capacity line 300 and data-line 6a. Thereby, the effectiveness of such protection from light and temperature rise prevention is acquired by the light-shielding film on the opposite substrate 20, without lowering the numerical aperture of each pixel.

[0069] Thus, between the TFT array substrates 10 and the opposite substrates 20 which have been arranged so that pixel electrode 9a and the counterelectrode 21 which were constituted may meet, the liquid crystal which is an example of electrooptic material is enclosed with the space surrounded by the below-mentioned sealant, and the liquid crystal layer 50 is formed. The liquid crystal layer 50 takes a predetermined orientation condition with the orientation film 16 and 22 in the condition that the electric field from pixel electrode 9a are not impressed. The liquid crystal layer 50 consists of liquid crystal which mixed the pneumatic liquid crystal of a kind or some kinds. It is the adhesives which consist of a photo-setting resin or thermosetting resin in order that a sealant may stick the TFT array substrate 10 and the opposite substrate 20 around those, and gap material, such as glass fiber for making distance between both substrates into a predetermined value or a glass bead, is mixed.

[0070] Furthermore, the substrate insulator layer 12 is formed in the bottom of TFT30 for pixel switching. The substrate insulator layer 12 has the function to prevent degradation of the property of TFT30 for pixel switching with the dry area at the time of polish of the front face of the TFT array

substrate 10, the dirt which remains after washing, by being formed all over the TFT array substrate 10 besides the function which carries out layer insulation of TFT30 from bottom light-shielding film 11a.

[0071] In drawing 3 TFT30 for pixel switching It has LDD (Lightly Doped Drain) structure. Channel field 1a' of semi-conductor layer 1a in which a channel is formed of the electric field from scanning-line 3a and concerned scanning-line 3a, 1d list of high concentration source fields of low concentration source field 1b and low concentration drain field 1c of the insulator layer 2 containing the gate dielectric film with which scanning-line 3a and semi-conductor layer 1a are insulated, and semi-conductor layer 1a, and semi-conductor layer 1a is equipped with high concentration drain field 1e.

[0072] On scanning-line 3a, the 1st interlayer insulation film 41 with which the contact hole 83 which leads to the contact hole 81 and high concentration drain field 1e which lead to 1d of high concentration source fields was punctured respectively is formed.

[0073] On the 1st interlayer insulation film 41, the junction layer 71 and the capacity line 300 are formed, and the 2nd interlayer insulation film 42 with which the contact hole 81 and contact hole 85 which lead to 1d of high concentration source fields and the junction layer 71, respectively were punctured respectively is formed on these.

[0074] In addition, with this operation gestalt, activation of the ion poured into the polish recon film which constitutes semi-conductor layer 1a and scanning-line 3a may be attained by performing 1000-degree C baking to the 1st interlayer insulation film 41. On the other hand, you may make it aim at relaxation of the stress produced near the interface of the capacity line 300 by not performing such baking to the 2nd interlayer insulation film 42.

[0075] Data-line 6a is formed on the 2nd interlayer insulation film 42, and the 3rd interlayer insulation film 43 with which the contact hole 85 which leads to the junction layer 71 was formed is formed on these. Pixel electrode 9a is prepared in the top face of the 3rd interlayer insulation film 43 constituted in this way.

[0076] By carrying out the laminating of the conductive layer of many predetermined patterns, as especially this operation gestalt showed to drawing 3 That a level difference arises to the field in alignment with data-line 6a and scanning-line 3a in the substrate side (namely, front face of the 3rd interlayer insulation film 43) of pixel electrode 9a Flattening processing of the front face of the 3rd interlayer insulation film 43 is carried out (for example, by grinding by CMP (Chemical Mechanical Polishing) processing etc.). Or it is easing by forming in Taira and others using organic [SOG] (Spin On Glass). Thus, a poor image, such as poor orientation of the liquid crystal which finally originated in the level difference, can be reduced by easing the level difference between the field where wiring, a component, etc. exist, and the field not existing. However, it replaces with the 3rd interlayer insulation film 43 in this way performing flattening processing, or in addition, at least one of the TFT array substrate 10, the substrate insulator layer 12, the 1st interlayer insulation film 41, and the 2nd interlayer insulation films 42 may be trenched, and flattening processing may be performed by embedding wiring and the TFT30 grade of data-line 6a etc.

[0077] (Protection from light by the scanning line, the capacity line, and the data line) Next, the configuration and the operation effectiveness concerning slot 12cv dug in the configuration and the operation effectiveness list of lobe 3b of scanning-line 3a in the operation gestalt of the electro-optic device mentioned above with reference to drawing 8 from drawing 4 by the substrate insulator layer 12 are explained in full detail. It is the top view which drawing 4 extracts slot 12cv (the lower right shows in the hatching field of ** among drawing 4) dug by lobe 3b of scanning-line 3a, and the substrate insulator layer 12 among drawing 2 here with semi-conductor layer 1a (a drawing middle point line shows), and is shown in it, drawing 5 is the B-B' sectional view of drawing 4 , and drawing 6 is the C-C' sectional view of drawing 4 . Drawing 7 is the D-D'B-B of drawing 4 [in / it is a sectional view and / in drawing 8 / a deformation gestalt]' sectional view of drawing 4 .

[0078] As shown in drawing 7 from drawing 4 , along with data-line 6a, slot 12cv is dug in the substrate insulator layer 12 by both the sides of semi-conductor layer 1a. In slot 12cv, lobe 3b of scanning-line 3a

is embedded partially, and the junction layer 71, the capacity line 300, and data-line 6a are further embedded partially through the interlayer insulation film 41 and the interlayer insulation film 42 grade. Thereby, lobe 3b of scanning-line 3a, the capacity line 300, and data-line 6a contain the part formed in the bottom at the concave corresponding to slot 12cv on each sectional view shown in drawing 7 from drawing 5.

[0079] Therefore, incident light and return light which advance aslant to the substrate side of the TFT array substrate 10 since lobe 3b is prepared in the 1st at scanning-line 3a, The light of slant, such as internal reflection light based on these and multiple echo light, in a list It can prevent partially at least not only by the body section but by the light absorption or the light reflex especially by lobe 3b which functions carrying out incidence to channel field 1a and its adjoining field (namely, low concentration source field 1b and low concentration drain field 1c) as a gate electrode among scanning-line 3a. Under the present circumstances, since it shades by lobe 3b (and body section of scanning-line 3a) close to semi-conductor layer 1a, the protection from light concerned can be performed very effectively.

[0080] Moreover, scanning-line 3a which functions semi-conductor layer 1a on the 2nd as a wrap top light-shielding film from the bottom (lobe 3b is included), Since the junction layer 71, the capacity line 300, and the data line 6 contain the part formed in the bottom at the concave corresponding to slot 12cv, respectively As compared with the case where a top light-shielding film is flat, the light of slant, such as internal reflection light based on incident light and return light and multiple echo light, in the incident light list which advances aslant to a substrate side Finally it can prevent more effectively carrying out incidence to channel field 1a and its adjoining field from the slant bottom by the top light-shielding film concerned. That is, since it becomes strong according to inclination fang furrow 12cv which diffuses the light of the slant from a top by the top-face part of the top light-shielding film which is a concave (or on convex) to the down side, the carrying-out [from the slant bottom / to channel field 1a and its adjoining field]-finally-incidence quantity of light can be reduced. in addition, since it is the same, bottom light-shielding film 11a may be partially formed in a concave reversely [vertical] with the irregularity of the top light-shielding film mentioned above at least with the up side (namely, the bottom -- convex).

[0081] In addition, with this operation gestalt, since the part containing a gate electrode is formed broadly, scanning-line 3a can improve the protection-from-light engine performance in the slanting channel field by scanning-line 3a to light and its slanting adjoining field.

[0082] With this operation gestalt, as shown in drawing 2 and drawing 3, various light-shielding films are performing protection from light to TFT30 from the upper and lower sides here. That is, to the incident light which carries out incidence, the capacity line 300 and data-line 6a function as a top light-shielding film from the bottom (namely, incidence side of incident light) in an electro-optic device. On the other hand, to the return light which carries out incidence, bottom light-shielding film 11a functions as a bottom light-shielding film literally from the bottom (namely, outgoing radiation side of incident light) in the electro-optic device concerned. Therefore, it is thought that there is neither the need of preparing lobe 3b in scanning-line 3a, nor the need of giving a configuration special to top light-shielding film slack capacity line 300 grade by slot 12cv. However, incident light contains the slanting light which carries out incidence from across to a substrate 10. For example, the incident angle contains the component from which even ten - about 15 degrees shift [perpendicular] about 10%. Return light contains slanting light similarly. For this reason, it is reflected on the top face of a substrate 10, the top face of bottom light-shielding film 11a, etc., or slanting light is reflected on the inferior surface of tongue of a top light-shielding film etc., these are further reflected by other interfaces in the electro-optic device concerned, and internal reflection light and multiple echo light are generated. Therefore, it can be said that the effectiveness of lobe 3b which shades by the side of semi-conductor layer 1a like this operation gestalt, and protection from light by the concave part corresponding to slot 12cv is large since the light of the slant which advances through the clearance between both even if it has various light-shielding films up and down of TFT30 may exist.

[0083] As explained with reference to drawing 7 from drawing 4 above, according to the electro-optic device of this operation gestalt, by preparing lobe 3b and slot 12cv, even if it is under a severe condition in which lightfastness is raised and powerful incident light and return light carry out incidence, the switching control of the pixel electrode 9a can be carried out good by TFT30 by which optical leakage current was reduced, and, finally, the bright image of high contrast can be displayed.

[0084] In addition, with this operation gestalt, since a top light-shielding film consists of parts of scanning-line 3a (lobe 3b is included), the capacity line 300, data-line 6a, etc., the laminated structure on the TFT array substrate 10 and simplification of a production process can be attained as a whole. Furthermore, the additional process is unnecessary in order that it may form lobe 3b from the same film as scanning-line 3a with this operation gestalt, since lobe 3b becomes in one.

[0085] With this operation gestalt explained above, scanning-line 3a may be constituted from a light-shielding film containing a metal or an alloy like the case of the capacity line 300 or substrate light-shielding film 11a (for example, the metal simple substance containing at least one of refractory metals, such as Ti, Cr, W, Ta, Mo, and Pb, an alloy, metal silicide, a polysilicon side, the thing that carried out the laminating of these). Thus, if constituted, the protection-from-light engine performance in the slanting channel field and slanting channel adjoining field to light can be improved more by scanning-line 3a and lobe 3b.

[0086] With this operation gestalt explained above, although four lobe 3b is formed to each channel field 1a', whether it forms only in **** of channel field 1a' or forms only the channel field 1a' bottom only in the bottom by drawing 2 R> 2, a certain amount of similar effectiveness is acquired. For example, what is necessary is to prepare three or less lobe 3b in **** for every channel field only at a chisel, a top, or the bottom, without adding unreasonableness to a layout, when it is difficult to form a total of four lobe 3b in both both the sides of channel field 1a', or the upper and lower sides in view of arrangement of wiring in the perimeter of semi-conductor layer 1a, a component, etc.

[0087] Furthermore, although TFT30 for pixel switching has LDD structure with the operation gestalt explained above as preferably shown in drawing 3, you may be TFT of the self aryne mold which may have the offset structure which does not drive an impurity into low-concentration source field 1b and low-concentration drain field 1c, drives in an impurity by high concentration by using as a mask the gate electrode which consists of a part of scanning-line 3a, and forms the high-concentration source and a drain field in self align. Moreover, although considered as the single gate structure which has arranged one gate electrode of TFT30 for pixel switching among 1d [of high concentration source fields], and high concentration drain field 1e with this operation gestalt, two or more gate electrodes may be arranged among these. Thus, if TFT is constituted above the dual gate or the triple gate, the leakage current of a joint with a channel, the source, and a drain field can be prevented, and the current at the time of OFF can be reduced.

[0088] In addition, as shown in drawing 8, it replaces with the substrate insulator layer 12, and slot 41cv is dug in the 1st interlayer insulation film 41, and even if it forms so that the part formed in the junction layer 71, the capacity line 300, and the data line 6 which constitute a top light-shielding film at the concave at the bottom corresponding to slot 41cv, respectively may be included, the protection-from-light engine performance similar to an above-mentioned operation gestalt is obtained.

[0089] (Manufacture process) Next, the manufacture process of the electro-optic device by this invention is explained with reference to drawing 9 and drawing 10. Drawing 9 and drawing 10 are process drawings showing order for the situation near semi-conductor layer 1a of an electro-optic device [in / here / each process of a manufacture process] later on with the C-C' sectional view of drawing 4 like drawing 6.

[0090] As first shown in the process (1) of drawing 9, the TFT array substrates 10, such as a quartz substrate, hard glass, and a silicon substrate, are prepared. Here, preferably, annealing treatment is carried out at inert gas ambient atmospheres, such as N₂ (nitrogen), and an about 900–1300-degree C elevated temperature, and it pretreats so that distortion produced in the TFT array substrate 10 in the

elevated-temperature process carried out behind may decrease.

[0091] then, the whole surface of the TFT array substrate 10 processed in this way -- metal alloy film, such as metal metallurgy group silicide, such as Ti, Cr, W, Ta, Mo, and Pd, -- sputtering -- about 100–500nm thickness -- the light-shielding film of about 200nm thickness is formed preferably. And by the photolithography and etching, a flat-surface configuration forms grid-like bottom light-shielding film 11a.

[0092] Then, the substrate insulator layer 12 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. using TEOS (tetrapod ethyl orthochromatic silicate) gas, TEB (tetrapod ethyl boat rate) gas, TMOP (tetrapod methyl oxy-FOSU rate) gas, etc. with ordinary pressure or a reduced pressure CVD method is formed on bottom light-shielding film 11a. The thickness of this substrate insulator layer 12 may be about about 500–2000nm.

[0093] Next, at the process (2) of drawing 9 , slot 12cv which has the flat-surface configuration shown in drawing 4 R> 4 in a photolithography list by dry cleaning and wet etching is dug. Depth of slot 12cv is set to about 500–1500nm, corresponding to the thickness of the substrate insulator layer 12 so that it may leave the thickness of extent as which the thickness of substrate insulator layer 12 part located in the pars basilaris ossis occipitalis of slot 12cv functions good as a substrate insulator layer.

[0094] Next, at the process (3) of drawing 9 , about 450–550 degrees C of amorphous silicon film are preferably formed comparatively on the slot 12 substrate insulator layer 12 in which cv was dug with the reduced pressure CVD (for example, CVD with a pressure of about 20–40Pa) using the mono-silane gas of flow rate about 400 to 600 cc/min, disilane gas, etc. of about 500 degrees C in a low-temperature environment. then, ***** which performs annealing treatment of 4 – 6 hours preferably at about 600–700 degrees C in nitrogen-gas-atmosphere mind for about 1 to 10 hours -- the polish recon film -- the particle size of about 50–200nm -- solid phase growth is carried out until it becomes the particle size of about 100nm preferably. As an approach of carrying out solid phase growth, the annealing treatment using RTA (Rapid Thermal Anneal) is sufficient, and the laser annealing using an excimer laser etc. is sufficient. Under the present circumstances, according to whether TFT30 for pixel switching is used as an n channel mold, or it is made a p channel mold, the dopant of V group element or an III group element may be slightly doped by an ion implantation etc. And semi-conductor layer 1a which has a predetermined pattern is formed by the photolithography and etching.

[0095] then, semi-conductor layer 1a which constitutes TFT30 -- the temperature of about 900–1300 degrees C -- desirable -- the temperature of about 1000 degrees C -- oxidizing thermally -- lower layer gate dielectric film -- forming -- continuing -- a reduced pressure CVD method etc. -- or the insulator layer 2 which consists of multilayer high-temperature-oxidation-by this silicon film (HTO film) which forms the upper gate dielectric film, or a silicon nitride film (gate dielectric film is included) is formed by carrying out by continuing both. consequently, semi-conductor layer 1a -- the thickness of about 30–150nm -- desirable -- the thickness of about 35–50nm -- becoming -- the thickness of an insulator layer 2 -- the thickness of about 20–150nm -- it becomes the thickness of about 30–100nm preferably.

[0096] Then, in order to control the threshold voltage V_{th} of TFT30 for pixel switching, only the specified quantity set up beforehand dopes dopants, such as boron, by an ion implantation etc. to an N channel field or a P channel field among semi-conductor layer 1a.

[0097] Next, at the process (4) of drawing 9 , the polish recon film is deposited with a reduced pressure CVD method etc., thermal diffusion of Lynn (P) is carried out further, and this polish recon film is electric-conduction-ized. Or the doped silicon film which introduced P ion into membrane formation and coincidence of this polish recon film may be used. The thickness of this polish recon film is about 350nm preferably in about 100–500nm thickness. And scanning-line 3a of a predetermined pattern including the gate polar zone of TFT30 and lobe 3b (refer to drawing 4) is formed by the photolithography and etching.

[0098] For example, when setting TFT30 to TFT of an n channel mold with LDD structure, in order to form low concentration source field 1b and low concentration drain field 1c in semi-conductor layer 1a

first, the dopant of V group elements, such as P, is doped by low concentration, using scanning-line 3a (gate electrode) as a mask (with for example, dose which is one to 3×10^{13} /cm² about P ion). Thereby, semi-conductor layer 1a under scanning-line 3a becomes channel field 1a'. Furthermore, in order to form 1d of high concentration source fields and high concentration drain field 1e which constitute TFT30 for pixel switching, the resist layer which has a flat-surface pattern with wide width of face rather than scanning-line 3a is formed on scanning-line 3a. then, the dopant of V group elements, such as P, is doped by high concentration (for example, P ion — the dose of one to 3×10^{15} /cm²). In addition, it is good also as TFT of offset structure, without, for example, performing a low-concentration dope, and it is good also as TFT of a self aryne mold by the ion-implantation technique using P ion, B ion, etc., using scanning-line 3a as a mask. Scanning-line 3a is further formed into low resistance by the dope of this impurity.

[0099] Next, at the process (5) of drawing 9 , the 1st interlayer insulation film 41 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. using TEOS gas, TEB gas, TMOP gas, etc. with ordinary pressure or a reduced pressure CVD method is formed on scanning-line 3a. The thickness of this 1st interlayer insulation film 12 may be about about 500–2000nm. Preferably, annealing treatment is carried out at an elevated temperature with an extent of 800 degrees C, and the membraneous quality of an interlayer insulation film 41 is raised here.

[0100] Then, coincidence puncturing of the non-illustrated contact hole 83 (refer to drawing 2 and drawing 3) is carried out by dry etching to an interlayer insulation film 41, such as reactive ion etching and reactant ion beam etching.

[0101] Then, the polish recon film is deposited with a reduced pressure CVD method etc., thermal diffusion of Lynn (P) is carried out further, and this polish recon film is electric-conduction-ized. Or the doped silicon film which introduced P ion into membrane formation and coincidence of this polish recon film may be used. The thickness of this polish recon film is about 150nm preferably in about 100–500nm thickness. And the non-illustrated junction layer 71 (refer to drawing 2 and drawing 3) is formed by the photolithography and etching.

[0102] Then, the dielectric film 75 which consists of high-temperature-oxidation silicon film (HTO film) or a silicon nitride film by the reduced pressure CVD method, a plasma-CVD method, etc. is deposited at the comparatively thin thickness of about 50nm of thickness on the pixel electrode junction layer 71 which serves as a pixel potential side capacity electrode, and the 1st interlayer insulation film 41. However, like the case of an insulator layer 2, a dielectric film 75 may constitute monolayer or multilayers either, and can be formed with various kinds of well-known techniques used for generally forming the gate dielectric film of TFT. And since storage capacitance 70 becomes large so that a dielectric film 75 is made thin, it is advantageous, if a dielectric film 75 is formed after all so that it may become the very thin insulator layer of 50nm or less of thickness on condition that defects, such as a film tear, do not arise.

[0103] Then, metal alloy film, such as metal metallurgy group silicide, such as Ti, Cr, W, Ta, Mo, and Pd, is formed by sputtering on a dielectric film 75 at about 100–500nm thickness. And by the photolithography and etching, the capacity line 300 with a predetermined pattern is formed. That is, storage capacitance 70 is completed.

[0104] however, in constituting the capacity line 300 from multilayers The polish recon film is first deposited with a reduced pressure CVD method etc. on a dielectric film 75. Furthermore, carry out thermal diffusion of Lynn (P), electric-conduction-ize this polish recon film, and the 1st film is formed. Besides, further, by using metal alloy film, such as metal metallurgy group silicide, as the 2nd film, after carrying out laminating formation, the capacity line 300 which has a predetermined pattern from the 1st and 2nd film by the photolithography and etching may be formed.

[0105] Next, at the process (6) of drawing 10 , the 2nd interlayer insulation film 42 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. is formed, for example using ordinary pressure or a reduced pressure CVD method, TEOS gas, etc. The

thickness of the 1st interlayer insulation film 42 is about 500–1500nm.

[0106] Then, the non-illustrated contact hole 81 (refer to drawing 2 and drawing 3) is punctured by dry etching to the 2nd interlayer insulation film 42, such as reactive ion etching and reactant ion beam etching.

[0107] Then, it deposits on about 300nm preferably in about 100–500nm thickness by sputtering etc. the whole surface on the 2nd interlayer insulation film 42 by making low resistance metal metallurgy group silicide, such as aluminum of protection-from-light nature, etc. into a metal membrane. And data-line 6a which has a predetermined pattern is formed by the photolithography and etching.

[0108] Next, at the process (7) of drawing 10 , the 3rd interlayer insulation film 43 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. is formed using ordinary pressure or a reduced pressure CVD method, TEOS gas, etc. so that a data-line 6a top may be covered. The thickness of the 3rd interlayer insulation film 43 is about 500–1500nm.

[0109] Then, the non-illustrated contact hole 85 (refer to drawing 2 and drawing 3) is punctured by dry etching to the 3rd interlayer insulation film 43, such as reactive ion etching and reactant ion beam etching.

[0110] Then, transparent conductive film, such as ITO film, is deposited by spatter processing etc. on the 3rd interlayer insulation film 43 at the thickness of about 50–200nm. And pixel electrode 9a is formed by the photolithography and etching. In addition, when using the liquid crystal equipment concerned for the liquid crystal equipment of a reflective mold, pixel electrode 9a may be formed from an opaque ingredient with high reflection factors, such as aluminum.

[0111] Then, after applying the coating liquid of the orientation film of a polyimide system on pixel electrode 9a, the orientation film 16 (refer to drawing 3) is formed by performing rubbing processing in the predetermined direction so that it may have a predetermined pre tilt angle etc.

[0112] On the other hand, about the opposite substrate 20 shown in drawing 3 , a glass substrate etc. is prepared first, and after the light-shielding film as a frame carries out the spatter of the chromium metal, it is formed through a photolithography and etching. In addition, these light-shielding films do not need to be conductivity and may form others, carbon, and Ti, such as Cr, nickel, and aluminum, from ingredients, such as resin black distributed to the photoresist. [metallic material]

[0113] Then, a counterelectrode 21 is formed by spatter processing etc. all over the opposite substrate 20 by depositing transparent conductive film, such as ITO, on the thickness of about 50–200nm. Furthermore, after applying the coating liquid of the orientation film of a polyimide system all over a counterelectrode 21, the orientation film 22 (refer to drawing 3) is formed by performing rubbing processing in the predetermined direction so that it may have a predetermined pre tilt angle etc.

[0114] Finally, the liquid crystal with which the TFT array substrate 10 and the opposite substrate 20 with which each class was formed as mentioned above are stuck by the sealant (refer to drawing 11 and drawing 12) so that the orientation film 16 and 22 may meet, and they come to mix two or more kinds of pneumatic liquid crystals to the space between both substrates by vacuum suction etc. is attracted, and the liquid crystal layer 50 of predetermined thickness is formed.

[0115] According to the manufacture process of this invention explained above, the electro-optic device by this invention mentioned above can be manufactured. Under the present circumstances, since **** lobe 3b shown in drawing 4 can be formed only by adding some modification to patterning processing of scanning-line 3b in a process (4) especially, and it can form only by digging slot 12cv at a process (2) further so that the part formed in the bottom at the concave in the various electric conduction film which functions as a top light-shielding film in that upper part may be included, the manufacture process concerned can be carried out as a whole comparatively easily.

[0116] In addition, the processing which digs slot 12cv shown in the process (2) of drawing 9 in manufacturing the electro-optic device (refer to drawing 8) concerning the deformation gestalt mentioned above is omitted, instead, in the middle of a process (5), to the 1st interlayer insulation film 41, if slot 41cv is dug, it is sufficient, and the remaining process is the same with having been shown in

drawing 9 R> 9 and drawing 10 which were mentioned above, and ends.

[0117] (The whole electro-optic device configuration) The whole electro-optic device configuration in each operation gestalt constituted as mentioned above is explained with reference to drawing 11 and drawing 12. In addition, drawing 11 is the top view which looked at the TFT array substrate 10 from the opposite substrate 20 side with each component formed on it, and drawing 12 is a H-H' sectional view of drawing 11.

[0118] In drawing 11, on the TFT array substrate 10, the sealant 52 is formed along the edge and the light-shielding film 53 as a frame which specifies the circumference of image display field 10a is formed in parallel to the inside. The data-line drive circuit 101 and the external circuit connection terminal 102 which drive data-line 6a by supplying a picture signal to data-line 6a to predetermined timing are prepared in the field of the outside of a sealant 52 along with one side of the TFT array substrate 10, and the scanning-line drive circuit 104 which drives scanning-line 3a is formed along with two sides which adjoin this one side by supplying a scan signal to scanning-line 3a to predetermined timing. If the scan signal delay supplied to scanning-line 3a does not become a problem, the thing only with one side sufficient [the scanning-line drive circuit 104] cannot be overemphasized. Moreover, the data-line drive circuit 101 may be arranged on both sides along the side of image display field 10a. Furthermore, two or more wiring 105 for connecting between the scanning-line drive circuits 104 established in the both sides of image display field 10a is formed in one side in which the TFT array substrate 10 remains. Moreover, in at least one place of the corner section of the opposite substrate 20, the flow material 106 for taking a flow electrically between the TFT array substrate 10 and the opposite substrate 20 is formed. And as shown in drawing 12, the opposite substrate 20 with the almost same profile as the sealant 52 shown in drawing 11 has fixed to the TFT array substrate 10 by the sealant 52 concerned.

[0119] In addition, on the TFT array substrate 10, the inspection circuit for inspecting the sampling circuit which impresses a picture signal to two or more data-line 6a to predetermined timing, the precharge circuit which precedes the precharge signal of a predetermined voltage level with a picture signal, and supplies it to two or more data-line 6a respectively, the quality of the electro-optic device concerned at the manufacture middle or the time of shipment, a defect, etc. in addition to these data-line drive circuits 101 and scanning-line drive circuit 104 grade etc. may be formed.

[0120] You may make it connect with LSI for a drive mounted on the TAB (Tape Automated bonding) substrate instead of forming the data-line drive circuit 101 and the scanning-line drive circuit 104 on the TFT array substrate 10 electrically and mechanically through the anisotropy electric conduction film prepared in the periphery of the TFT array substrate 10 with the operation gestalt explained with reference to drawing 12 from drawing 1 above. Moreover, according to the exception of modes of operation, such as TN (Twisted Nematic) mode, VA (Vertically Aligned) mode, and PDLC (Polymer Dispersed Liquid Crystal) mode, and the no MARI White mode / NOMA reeve rack mode, a polarization film, a phase contrast film, a polarizing plate, etc. are respectively arranged in a predetermined direction at the side in which the outgoing radiation light of the side in which the incident light of the opposite substrate 20 carries out incidence, and the TFT array substrate 10 carries out outgoing radiation.

[0121] Since the electro-optic device in the operation gestalt explained above is applied to a projector, the electro-optic device of three sheets will be respectively used as a light valve for RGB, and incidence of the light of each color respectively decomposed through the dichroic mirror for RGB color separation will be respectively carried out to each light valve as incident light. Therefore, with each operation gestalt, the color filter is not prepared in the opposite substrate 20. However, the color filter of RGB may be formed in the predetermined field which counters pixel electrode 9a on the opposite substrate 20 with the protective coat. If it does in this way, the electro-optic device in each operation gestalt is applicable about the color electro-optic device of direct viewing types other than a projector, or a reflective mold. Moreover, a micro lens may be formed so that it may correspond 1 pixel on [one] the opposite substrate 20. Or it is also possible to form a color filter layer in the bottom of pixel electrode 9a which counters RGB on the TFT array substrate 10 by a color resist etc. If it does in this

way, a bright electro-optic device is realizable by improving the condensing effectiveness of incident light. Furthermore, the die clo IKKU filter which makes a RGB color using interference of light by depositing the interference layer to which the refractive index of many layers is different on the opposite substrate 20 again may be formed. According to this opposite substrate with a die clo IKKU filter, a brighter color electro-optic device is realizable.

[0122] This invention is not restricted to the operation gestalt mentioned above, and can be suitably changed in the range which is not contrary to the summary or thought of invention which can be read in a claim and the whole specification, and the electro-optic device accompanied by such modification and its manufacture approach are also included in the technical range of this invention.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] They are equal circuits established in two or more pixels of the shape of a matrix which constitutes the image display field in the electro-optic device of the operation gestalt of this invention, such as various components and wiring.

[Drawing 2] It is the top view of two or more pixel groups where the TFT array substrate with which the data line in the electro-optic device of an operation gestalt, the scanning line, a pixel electrode, etc. were formed adjoins each other.

[Drawing 3] It is the A-A' sectional view of drawing 2 .

[Drawing 4] It is the top view shown with the slot extracted the lobe and the semi-conductor layer among drawing 2 , and the substrate insulator layer was trenched.

[Drawing 5] It is the B-B' sectional view of drawing 4 .

[Drawing 6] It is the C-C' sectional view of drawing 4 .

[Drawing 7] It is the D-D' sectional view of drawing 4 .

[Drawing 8] It is the C-C' sectional view of drawing 4 in a deformation gestalt.

[Drawing 9] It is process drawing (the 1) showing order for the situation near the semi-conductor layer of the electro-optic device in each process of the manufacture process by this invention later on with the C-C' sectional view of drawing 4 .

[Drawing 10] It is process drawing (the 2) showing order for the situation near the semi-conductor layer of the electro-optic device in each process of the manufacture process by this invention later on with the C-C' sectional view of drawing 4 .

[Drawing 11] It is the top view which looked at the TFT array substrate in the electro-optic device of an operation gestalt from the opposite substrate side with each component formed on it.

[Drawing 12] It is the H-H' sectional view of drawing 11 .

[Description of Notations]

1a -- Semi-conductor layer
1a' -- Channel field
1b -- Low concentration source field
1c -- Low concentration drain field
1d -- High concentration source field
1e -- High concentration drain field
2 -- Insulator layer
3a -- Scanning line
3b -- Lobe
6a -- Data line
9a -- Pixel electrode
10 -- TFT array substrate
10cv(s) -- Slot
11a -- Bottom light-shielding film
12 -- Substrate insulator layer
12cv(s) -- Slot
16 -- Orientation film
20 -- Opposite substrate
21 -- Counterelectrode
22 -- Orientation film
30 -- TFT
50 -- Liquid crystal layer
70 -- Storage capacitance
71 -- Junction layer
75 -- Dielectric film
81, 83, 85 -- Contact hole
300 -- Capacity line

[Translation done.]